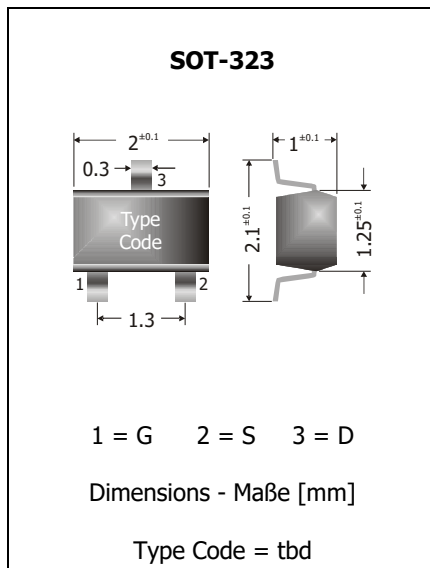


**2N7002W**  
**N-Channel Enhancement Mode FET**  
**N-Kanal FET – Anreicherungstyp**

$I_D$	= 115 mA	$V_{DSS}$	= 60 V
$R_{DS(on)50mA}$	< 7.5 $\Omega$	$P_{tot}$	= 200 mW
$T_{jmax}$	= 150°C		

Version 2020-01-08

**Typical Applications**

Signal processing  
 Drivers  
 Logic level converter  
 Commercial grade <sup>1)</sup>

**Features**

Fast switching times  
 Compliant to RoHS, REACH,  
 Conflict Minerals <sup>1)</sup>

**Mechanical Data <sup>1)</sup>**

Taped and reeled	3000 / 7 <sup>n</sup>
Weight approx.	0.01 g
Case material	UL 94V-0
Solder & assembly conditions	260°C/10s MSL = 1

**Typische Anwendungen**

Signalverarbeitung  
 Treiberstufen  
 Logikpegelwandler  
 Standardausführung <sup>1)</sup>

**Besonderheiten**

Schnelle Schaltzeiten  
 Konform zu RoHS, REACH,  
 Konfliktmineralien <sup>1)</sup>

**Mechanische Daten <sup>1)</sup>**

Gegurtet auf Rolle
Gewicht ca.
Gehäusematerial
Löt- und Einbaubedingungen

**Maximum ratings <sup>2)</sup>****Grenzwerte <sup>2)</sup>**

		<b>2N7002W</b>	
Drain-Source-voltage Drain-Source-Spannung		$V_{DS}$	60 V
Gate-Source-voltage Gate-Source-Spannung	D open	$V_{GSS}$	$\pm 20$ V
Power dissipation Verlustleistung		$P_{tot}$	200 mW
Drain current Drainstrom	DC	$I_D$	115 mA
Peak Drain current Drain-Spitzenstrom		$I_{DM}$	800 mA
Junction temperature – Sperrschichttemperatur Storage temperature – Lagerungstemperatur		$T_j$ $T_s$	150°C -55...+150°C

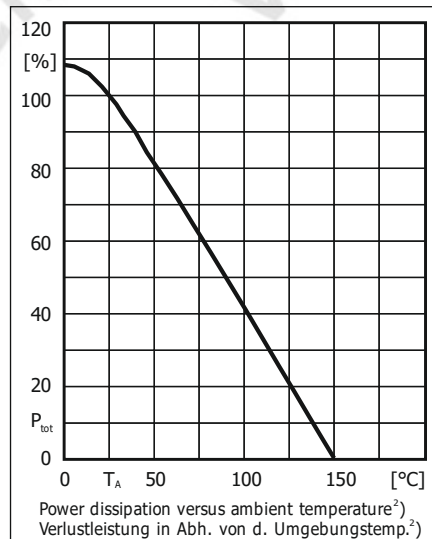
<sup>1</sup> Please note the [detailed information on our website](#) or at the beginning of the data book

Bitte beachten Sie die [detaillierten Hinweise auf unserer Internetseite](#) bzw. am Anfang des Datenbuches

<sup>2</sup>  $T_A = 25^\circ\text{C}$ , unless otherwise specified –  $T_A = 25^\circ\text{C}$ , wenn nicht anders angegeben

**Characteristics**
**Kennwerte**

		$T_j = 25^\circ\text{C}$	<b>Min.</b>	<b>Typ.</b>	<b>Max.</b>
Drain-Source breakdown voltage – Drain-Source-Durchbruchspannung $I_D = 10 \mu\text{A}$	$V_{(BR)DSS}$		60 V	–	–
Drain-Source leakage current – Drain-Source Leckstrom $V_{DS} = 60 \text{ V}$ G short	$I_{DSS}$		–	–	1 $\mu\text{A}$
Gate-Source leakage current – Gate-Source Leckstrom $V_{GS} = 20 \text{ V}$	$\pm I_{GSS}$		–	–	100 nA
Gate-Source threshold voltage – Gate-Source Schwellspannung $V_{DS} = 10 \text{ V}$ $I_D = 250 \mu\text{A}$	$V_{GS(th)}$		1 V	–	2.5 V
Drain-Source on-state resistance – Drain-Source Einschaltwiderstand $V_{GS} = 5 \text{ V}$ $I_D = 50 \text{ mA}$ $V_{GS} = 10 \text{ V}$ $I_D = 500 \text{ mA}$	$R_{DS(on)}$		–	–	7.5 $\Omega$ 13.5 $\Omega$
Forward Transfer Admittance – Übertragungssteilheit $V_{DS} = 3 \text{ V}$ , $I_D = 10 \text{ mA}$	$g_{FS}$		80 mS	–	–
Input Capacitance – Eingangskapazität $V_{DS} = 25 \text{ V}$ , $f = 1 \text{ MHz}$	$C_{iss}$		–	50 pF	–
Output Capacitance – Ausgangskapazität $V_{DS} = 25 \text{ V}$ , $f = 1 \text{ MHz}$	$C_{oss}$		–	25 pF	–
Reverse Transfer Capacitance – Rückwirkungskapazität $V_{DS} = 25 \text{ V}$ , $f = 1 \text{ MHz}$	$C_{rss}$		–	5 pF	–
Thermal resistance junction to ambient Wärmewiderstand Sperrschicht – Umgebung	$R_{thA}$		< 625 K/W <sup>1)</sup>		



**Disclaimer:** See data book page 2 or [website](#)  
**Haftungsausschluss:** Siehe Datenbuch Seite 2 oder oder [Internet](#)

1 Mounted on P.C. board with 3 mm<sup>2</sup> copper pad at each terminal  
 Montage auf Leiterplatte mit 3 mm<sup>2</sup> Kupferbelag (Lötpad) an jedem Anschluss