

本IC是使用CMOS技术开发的，高精度电压检测IC。检测电压和解除电压在内部被固定，精度为±1.5%。除电源端子外，另备有检测电压输入端子 (SENSE端子)，即使SENSE端子电压 (V_{SENSE}) 下降到0 V，也会保持输出稳定。同时，还内置了SENSE端子反向连接保护电路，可以抑制反向连接时流入SENSE端子的电流。另外，通过外接电容器还可以延迟解除信号输出，解除延迟时间的精度为±15% ($C_D = 3.3 \text{ nF}$)。输出形态为N沟道开路漏极输出。

本公司可提供根据用户的使用条件而计算的FIT值，以支援用户设计应对功能安全标准的产品。有关FIT值计算的实施详情，请向代理商咨询。

注意 本产品可使用于车辆器械、车载器械。考虑使用于车辆器械、车载器械时，请务必与代理商联系。

■ 特点

- 检测电压：16.0 V ~ 18.0 V (以0.1 V为进阶单位)
- 检测电压精度：±1.5%
- 可选择滞后幅度有、无：
 - 有：5.0%, 10.0%
 - 无：0%
- 解除延迟时间精度：±15% ($C_D = 3.3 \text{ nF}$)
- 消耗电流：0.6 μA (典型值)
- 输出方式：N沟道开路漏极输出
- 内置反向连接保护电路：抑制反向连接时流入SENSE端子的电流
- 工作电压范围：3.0 V ~ 36.0 V
- 工作温度范围： $T_a = -40^\circ\text{C} \sim +125^\circ\text{C}$
- 无铅 (Sn 100%)、无卤素
- 可耐受45 V抛负载
- 符合AEC-Q100标准*1

*1. 详情请与代理商联系。

■ 用途

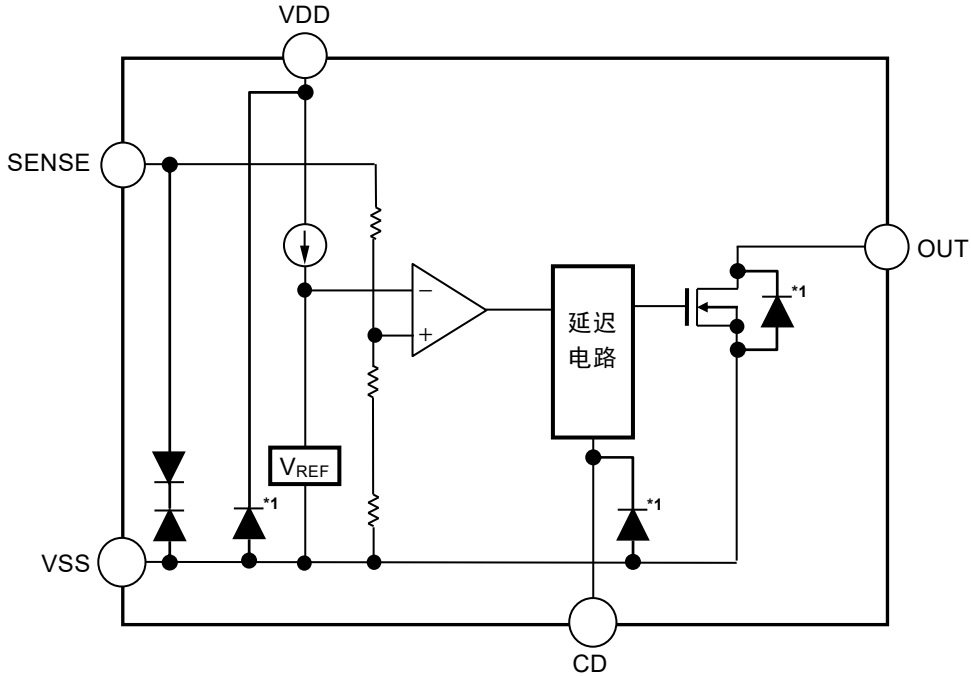
- 车载电池的电压检测
- 车载用 (引擎、变速器、汽车悬架、ABS、EV / HEV / PHEV关联器械等)

■ 封装

- HTMSOP-8
- HSNT-8(2030)
- SOT-23-5

■ 框图

1. S-19115系列L型

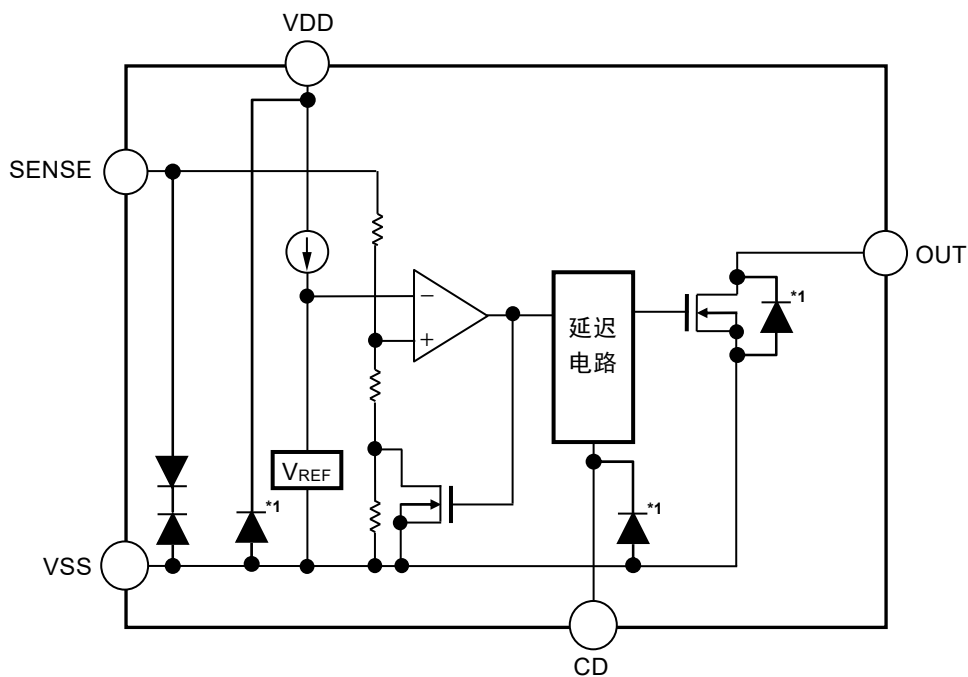


*1. 寄生二极管

图1

| 产品类型 | 滞后幅度 | 输出方式 | 输出逻辑 |
|------|------|-----------|--------|
| L型 | 0% | N沟道开路漏极输出 | 动态 "L" |

2. S-19115系列M / N型



*1. 寄生二极管

图2

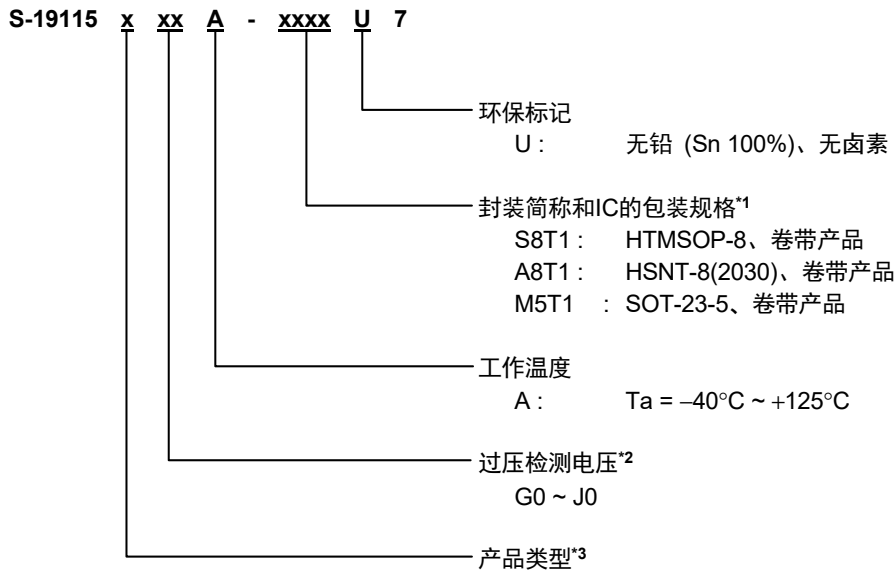
| 产品类型 | 滞后幅度 | 输出方式 | 输出逻辑 |
|------|-------|-----------|--------|
| M型 | 5.0% | N沟道开路漏极输出 | 动态 "L" |
| N型 | 10.0% | N沟道开路漏极输出 | 动态 "L" |

■ 符合AEC-Q100标准

本IC应对AEC-Q100标准的工作温度等级1。
有关AEC-Q100标准的信赖性测试详情，请与代理商联系。

■ 产品型号的构成

1. 产品名



- *1. 请参阅卷带图。
- *2. 有关过压检测电压，请参阅表1。
- *3. 请参阅 "2. 各产品类型的功能一览"。

表1

| 过压检测电压 | 符号 | 过压检测电压 | 符号 | 过压检测电压 | 符号 |
|--------|----|--------|----|--------|----|
| 16.0 V | G0 | 16.7 V | G7 | 17.4 V | H4 |
| 16.1 V | G1 | 16.8 V | G8 | 17.5 V | H5 |
| 16.2 V | G2 | 16.9 V | G9 | 17.6 V | H6 |
| 16.3 V | G3 | 17.0 V | H0 | 17.7 V | H7 |
| 16.4 V | G4 | 17.1 V | H1 | 17.8 V | H8 |
| 16.5 V | G5 | 17.2 V | H2 | 17.9 V | H9 |
| 16.6 V | G6 | 17.3 V | H3 | 18.0 V | J0 |

2. 各产品类型的功能一览

表2

| 产品类型 | 滞后幅度 | 输出方式 | 输出逻辑 |
|------|-------|-----------|--------|
| L型 | 0% | N沟道开路漏极输出 | 动态 "L" |
| M型 | 5.0% | N沟道开路漏极输出 | 动态 "L" |
| N型 | 10.0% | N沟道开路漏极输出 | 动态 "L" |

3. 封装

表3 封装图纸号码

| 封装名 | 外形尺寸图 | 卷带图 | 带卷图 | 焊盘图 |
|--------------|--------------|--------------|--------------|--------------|
| HTMSOP-8 | FP008-A-P-SD | FP008-A-C-SD | FP008-A-R-SD | FP008-A-L-SD |
| HSNT-8(2030) | PP008-A-P-SD | PP008-A-C-SD | PP008-A-R-SD | PP008-A-L-SD |
| SOT-23-5 | MP005-A-P-SD | MP005-A-C-SD | MP005-A-R-SD | - |

■ 引脚排列图

1. HTMSOP-8

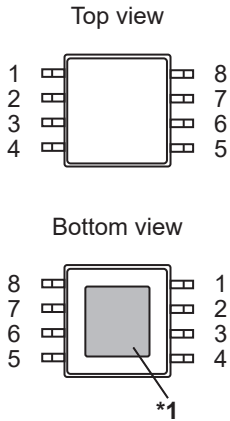


图3

- *1. 请将阴影部分的底面散热板与基板连接，并将电位设置为GND。但请不要作为电极使用。
- *2. NC表示处于电气开路状态。所以，可以与VDD端子或VSS端子连接。
- *3. 在CD端子 - VSS端子间连接电容器。通过此电容，可调整解除延迟时间。

表4

| 引脚号 | 符号 | 描述 |
|-----|-------|------------------|
| 1 | NC*2 | 无连接 |
| 2 | VDD | 电压输入端子 |
| 3 | NC*2 | 无连接 |
| 4 | SENSE | 检测电压输入端子 |
| 5 | CD*3 | 解除延迟时间调整用电容器连接端子 |
| 6 | VSS | 接地 (GND) 端子 |
| 7 | OUT | 检测电压输出端子 |
| 8 | NC*2 | 无连接 |

2. HSNT-8(2030)

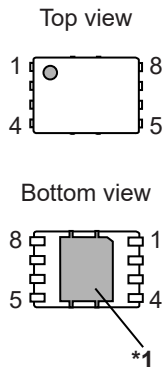


图4

- *1. 请将阴影部分的底面散热板与基板连接，并将电位设置为GND。但请不要作为电极使用。
- *2. NC表示处于电气开路状态。所以，可以与VDD端子或VSS端子连接。
- *3. 在CD端子 - VSS端子间连接电容器。通过此电容，可调整解除延迟时间。

表5

| 引脚号 | 符号 | 描述 |
|-----|-------|------------------|
| 1 | NC*2 | 无连接 |
| 2 | VDD | 电压输入端子 |
| 3 | NC*2 | 无连接 |
| 4 | SENSE | 检测电压输入端子 |
| 5 | CD*3 | 解除延迟时间调整用电容器连接端子 |
| 6 | VSS | 接地 (GND) 端子 |
| 7 | OUT | 检测电压输出端子 |
| 8 | NC*2 | 无连接 |

3. SOT-23-5

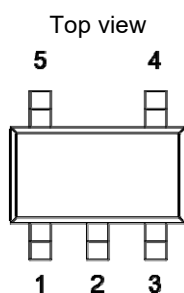


图5

表6

| 引脚号 | 符号 | 描述 |
|-----|-------|------------------|
| 1 | OUT | 检测电压输出端子 |
| 2 | VSS | 接地 (GND) 端子 |
| 3 | CD*1 | 解除延迟时间调整用电容器连接端子 |
| 4 | SENSE | 检测电压输入端子 |
| 5 | VDD | 电压输入端子 |

*1. 在CD端子 - VSS端子间连接电容器。通过此电容，可调整解除延迟时间。

■ 绝对最大额定值

表7

(除特殊注明以外 : Ta = -40°C ~ +125°C)

| 项目 | 符号 | 绝对最大额定值 | 单位 |
|-----------|--------------------|---|----|
| 电源电压 | V _{DD} | V _{SS} - 0.3 ~ V _{SS} + 45.0 | V |
| SENSE端子电压 | V _{SENSE} | V _{SS} - 30.0 ~ V _{SS} + 45.0 | V |
| CD端子输入电压 | V _{CD} | V _{SS} - 0.3 ~ V _{DD} + 0.3 ≤ V _{SS} + 7.0 | V |
| 输出电压 | V _{OUT} | V _{SS} - 0.3 ~ V _{SS} + 45.0 | V |
| 输出电流 | I _{OUT} | 25 | mA |
| 结点温度 | T _j | -40 ~ +150 | °C |
| 工作环境温度 | T _{opr} | -40 ~ +125 | °C |
| 保存温度 | T _{stg} | -40 ~ +150 | °C |

注意 绝对最大额定值是指无论在任何条件下都不能超过的额定值。万一超过此额定值，有可能造成产品劣化等物理性的损伤。

■ 热敏电阻值

表8

| 项目 | 符号 | 条件 | 最小值 | 典型值 | 最大值 | 单位 | |
|----------|-----------------|--------------|---------|-----|-----|----|------|
| 结至环境热阻*1 | θ _{JA} | HTMSOP-8 | Board A | - | 159 | - | °C/W |
| | | | Board B | - | 113 | - | °C/W |
| | | | Board C | - | 39 | - | °C/W |
| | | | Board D | - | 40 | - | °C/W |
| | | | Board E | - | 30 | - | °C/W |
| | | HSNT-8(2030) | Board A | - | 181 | - | °C/W |
| | | | Board B | - | 135 | - | °C/W |
| | | | Board C | - | 40 | - | °C/W |
| | | | Board D | - | 42 | - | °C/W |
| | | | Board E | - | 32 | - | °C/W |
| | | SOT-23-5 | Board A | - | 192 | - | °C/W |
| | | | Board B | - | 160 | - | °C/W |
| | | | Board C | - | - | - | °C/W |
| | | | Board D | - | - | - | °C/W |
| | | | Board E | - | - | - | °C/W |

*1. 测定环境：遵循JEDEC STANDARD JESD51-2A标准

备注 关于详情，请参阅 "■ Power Dissipation" 和 "Test Board"。

■ 电气特性

表9

(除特殊注明以外 : Ta = -40°C ~ +125°C)

| 项目 | 符号 | 条件 | 最小值 | 典型值 | 最大值 | 单位 | 测定电路 |
|------------|--------------------|--|--------------------------------|----------------------------|--------------------------------|----|------|
| 检测电压*1 | V _{DET} | V _{DD} = 13.5 V, 16.0 V ≤ V _{DET(S)} ≤ 18.0 V | V _{DET(S)} × 0.985 | V _{DET(S)} | V _{DET(S)} × 1.015 | V | 1 |
| 滞后幅度*2 | V _{HYS} | L型 (V _{HYS} = 0%) | - | V _{DET} × 0.00 | - | V | 1 |
| | | M型 (V _{HYS} = 5.0%) | V _{DET} × 0.04 | V _{DET} × 0.05 | V _{DET} × 0.06 | V | 1 |
| | | N型 (V _{HYS} = 10.0%) | V _{DET} × 0.09 | V _{DET} × 0.10 | V _{DET} × 0.11 | V | 1 |
| 消耗电流 | I _{SS1} | V _{DD} = 13.5 V, V _{SENSE} = 13.5 V | - | 0.6 | 2.4 | μA | 4 |
| 工作电压 | V _{DD} | - | 3.0 | - | 36.0 | V | 1 |
| 输出电流 | I _{OUT} | OUT端子N沟道驱动器, V _{DD} = 3.0 V, V _{DS} *3 = 0.1 V, V _{SENSE} = V _{DET(S)} + 1 V | 0.60 | - | - | mA | 2 |
| 泄漏电流 | I _{LEAK} | OUT端子N沟道驱动器, V _{DD} = 36 V, V _{OUT} = 36 V, V _{SENSE} = 13.5 V | - | - | 2.0 | μA | 2 |
| 检测响应时间*4 | t _{RESET} | - | - | 80 | 200 | μs | 3 |
| 解除延迟时间*5 | t _{DELAY} | C _D = 3.3 nF | 8.5 | 10.0 | 11.5 | ms | 3 |
| SENSE端子电阻 | R _{SENSE} | - | 6.8 | - | 200 | MΩ | 4 |
| CD端子放电通态电阻 | R _{CDD} | V _{DD} = 3.0 V, V _{CD} = 0.7 V | 0.15 | - | 0.90 | kΩ | - |

*1. V_{DET} : 实际检测电压值、V_{DET(S)} : 设定检测电压值

*2. 解除电压 (V_{REL})如下所示。

L型 (无滞后幅度) :

$$V_{REL} = V_{DET}$$

M / N型 (有滞后幅度) :

$$V_{REL} = V_{DET} - V_{HYS}$$

*3. V_{DS} : 输出晶体管的漏极、源极间电压

*4. 当V_{SENSE}一次达到解除电压后, 从对SENSE端子施加V_{DET(S)} - 1.0 V → V_{DET(S)} + 1.0 V的脉冲电压开始, 到V_{OUT}达到V_{DD}的50%为止的时间。

*5. V_{REL(S)} : 设定解除电压值

从对SENSE端子施加V_{REL(S)} + 1.0 V → V_{REL(S)} - 1.0 V的脉冲电压开始, 到V_{OUT}达到V_{DD}的50%为止的时间。

■ 测定电路

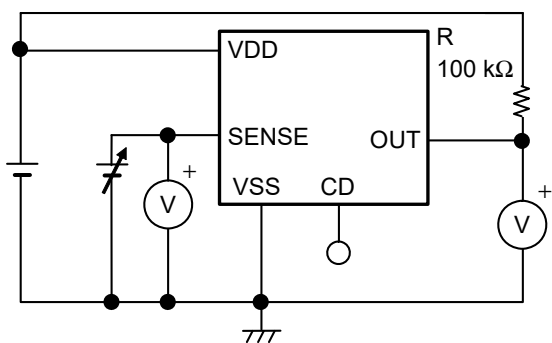


图6 测定电路1

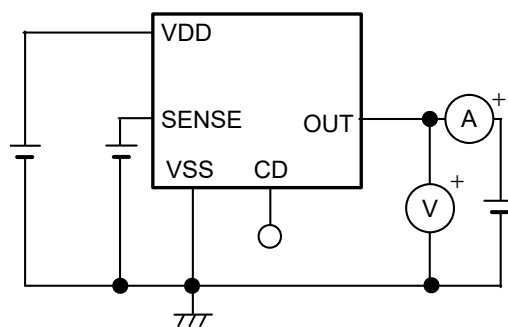


图7 测定电路2

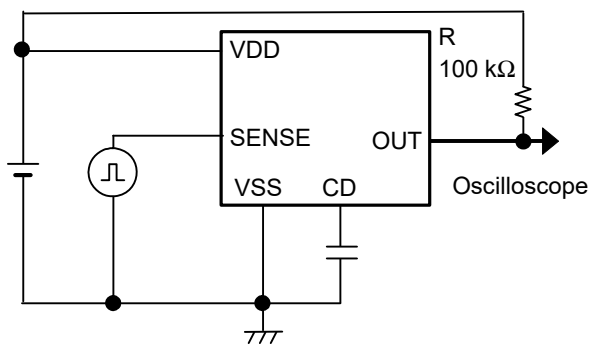


图8 测定电路3

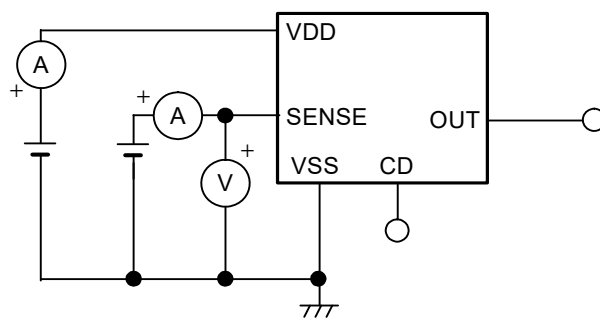
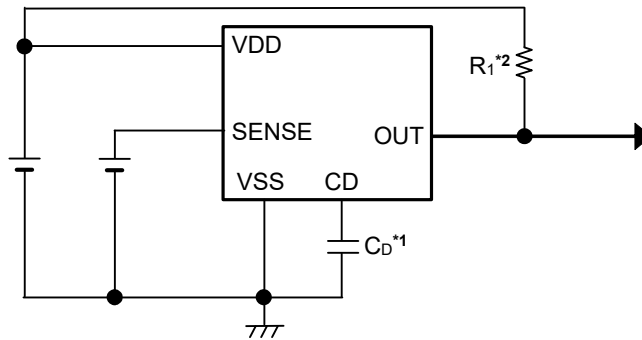


图9 测定电路4

■ 标准电路



- *1. C_D 是解除延迟时间调整用电容器。请直接连接在CD端子 - VSS端子之间。
- *2. R_1 是复位输出端子的外部上拉电阻。

图10

注意 上述连接图以及参数并不作为保证电路工作的依据。在实际的应用电路上，请对包括温度特性等进行充分的实测试证后再设定参数。

■ 使用条件

解除延迟时间调整用电容器 (C_D)：推荐使用大于或等于1.0 nF的陶瓷电容器

■ 解除延迟时间调整用电容器 (C_D) 的选定

为了调整检测器的解除延迟时间 (t_{DELAY})，本IC需要在CD端子 - VSS端子之间设置解除延迟时间调整用电容器 (C_D)。详情请参阅 "■ 工作说明"、"1.4 延迟电路"。

注意 在实际的应用电路上，请对包括温度特性等进行充分的实测试证后再选定 C_D 。

■ 用语的说明

1. 检测电压 (V_{DET})

检测电压是指图13的输出电压切换到 "L" 时的SENSE端子的电压。即使是同样产品的检测电压也有不同程度的差异，因此差异而引起的检测电压的最小值到最大值的范围称为检测电压范围 (参阅 "图11 检测电压")。

例如： $V_{DET} = 16.0$ V产品时，检测电压为 $15.760 \text{ V} \leq V_{DET} \leq 16.240 \text{ V}$ 的范围内的一点。
也就是说，既有 $V_{DET} = 15.760 \text{ V}$ 的产品，也有 $V_{DET} = 16.240 \text{ V}$ 的产品。

2. 解除电压 (V_{REL})

解除电压是指图13的输出电压切换到 "H" 时的SENSE端子的电压。即使是同样产品的解除电压也有不同程度的差异，因此差异而引起的解除电压的最小值到最大值的范围称为解除电压范围 (参阅 "图12 解除电压")。
解除电压为下述范围所示与检测电压的差。

- M型：4% ~ 6% (5% (典型值))
- N型：9% ~ 11% (10% (典型值))

例如： N型 $V_{DET} = 16.0$ V产品时， $V_{REL} = 14.400$ V (典型值)，解除电压为 $14.026 \text{ V} \leq V_{REL} \leq 14.779 \text{ V}$ 的范围内的一点。
也就是说，既有 $V_{REL} = 14.026 \text{ V}$ 的产品，也有 $V_{REL} = 14.779 \text{ V}$ 的产品。

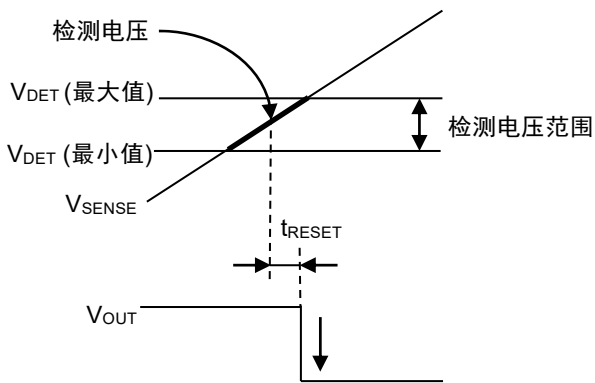


图11 检测电压

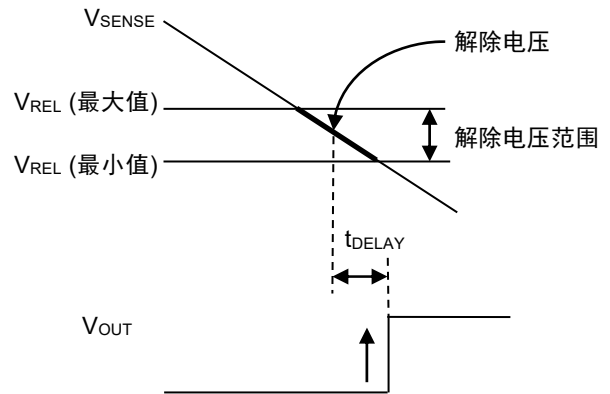


图12 解除电压

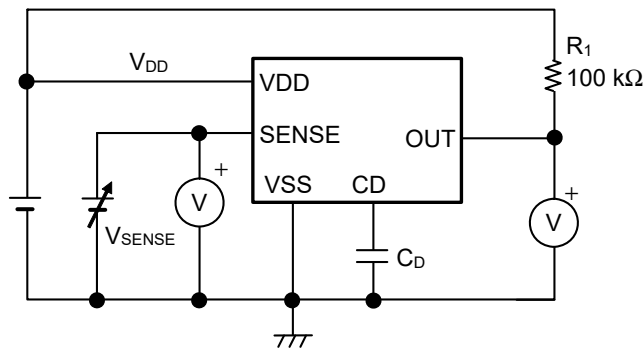


图13 检测电压、解除电压的测定电路

3. 滞后幅度 (V_{HYS})

滞后幅度是检测电压 (V_{DET}) 与解除电压 (V_{REL}) 之间的电压差。OUT端子的滞后幅度 (V_{HYS}^{*1}) 为 $V_{DET} - V_{REL}$ 。在 V_{DET} 与 V_{REL} 之间带有滞后幅度，可以防止在因噪声等侵入输入电压时而产生的误工作。

*1. 详情请参阅 "■ 工作说明" 的 "1.2 S-19115系列M / N型"。

4. 击穿电流

击穿电流是在电压检测器的检测以及解除时瞬间流经VDD端子的电流。

■ 工作说明

1. 基本工作

如图14、图16所示，以通过电阻 (R_1) 上拉OUT端子为例，说明检测器部分的基本工作。

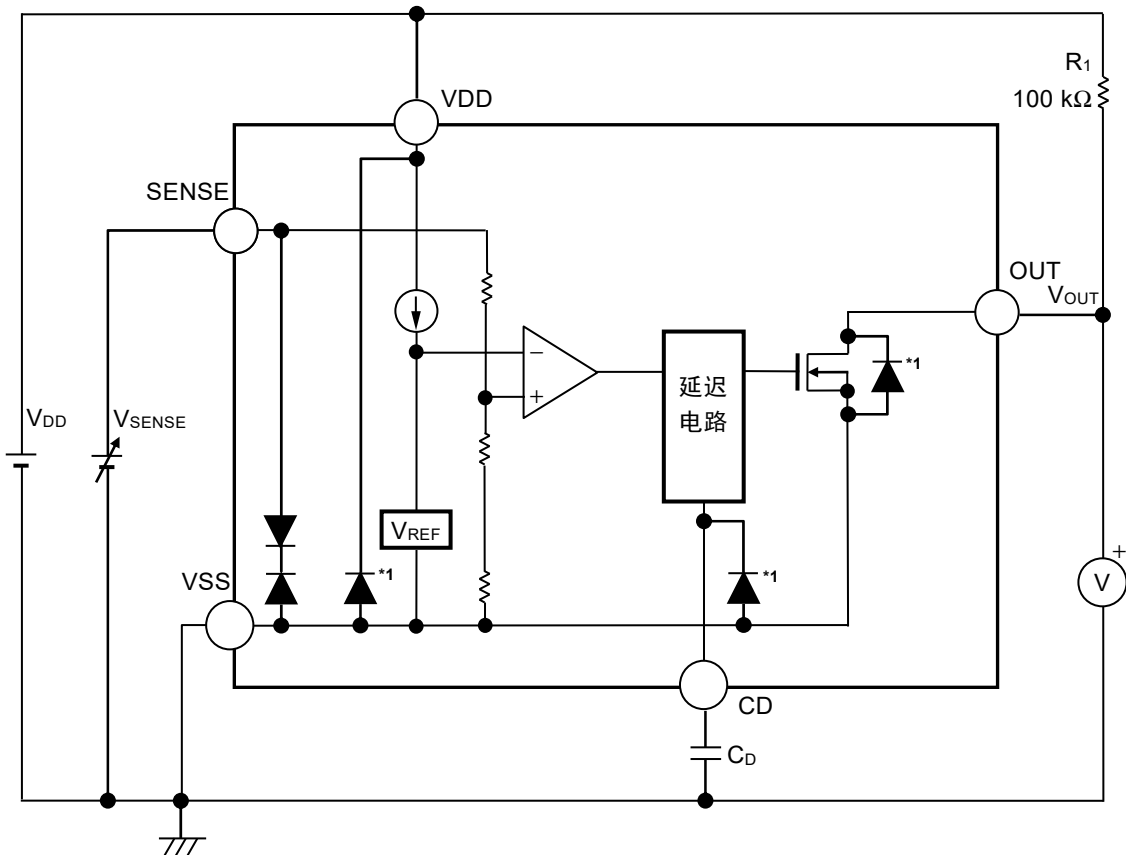
1.1 S-19115系列L型

(1) 解除状态 → 检测状态

当SENSE端子电压 (V_{SENSE}) 上升并超过检测电压 (V_{DET})，经过了检测响应时间 (t_{RESET}) 后，OUT端子的输出为 "L"。

(2) 检测状态 → 解除状态

当 V_{SENSE} 下降并低于解除电压 ($V_{REL} = V_{DET}$)，经过了解除延迟时间 (t_{DELAY}) 后，OUT端子的输出为 "H"。



*1. 寄生二极管

图14 S-19115系列L型的工作说明

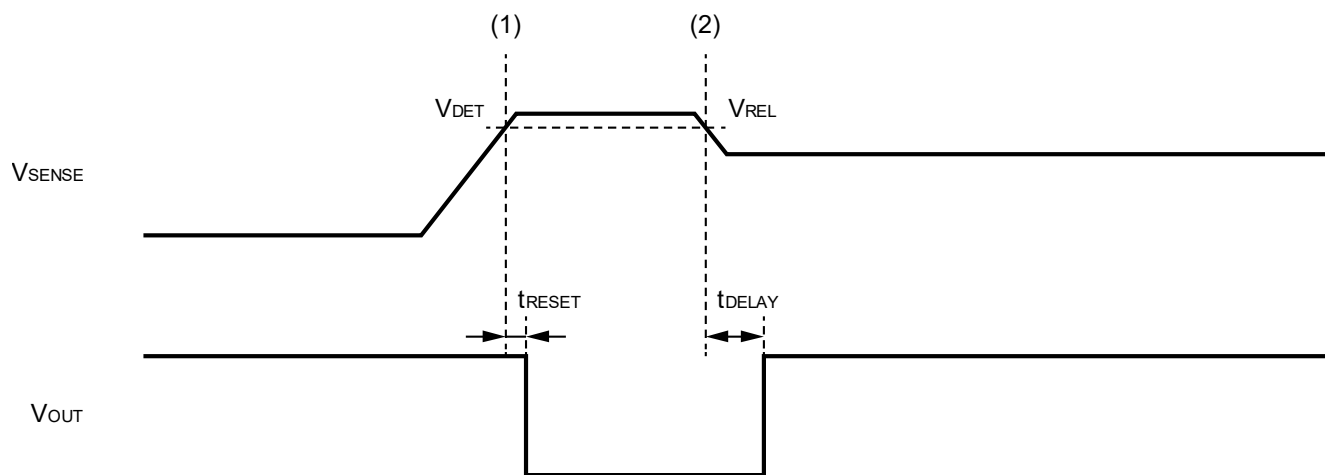
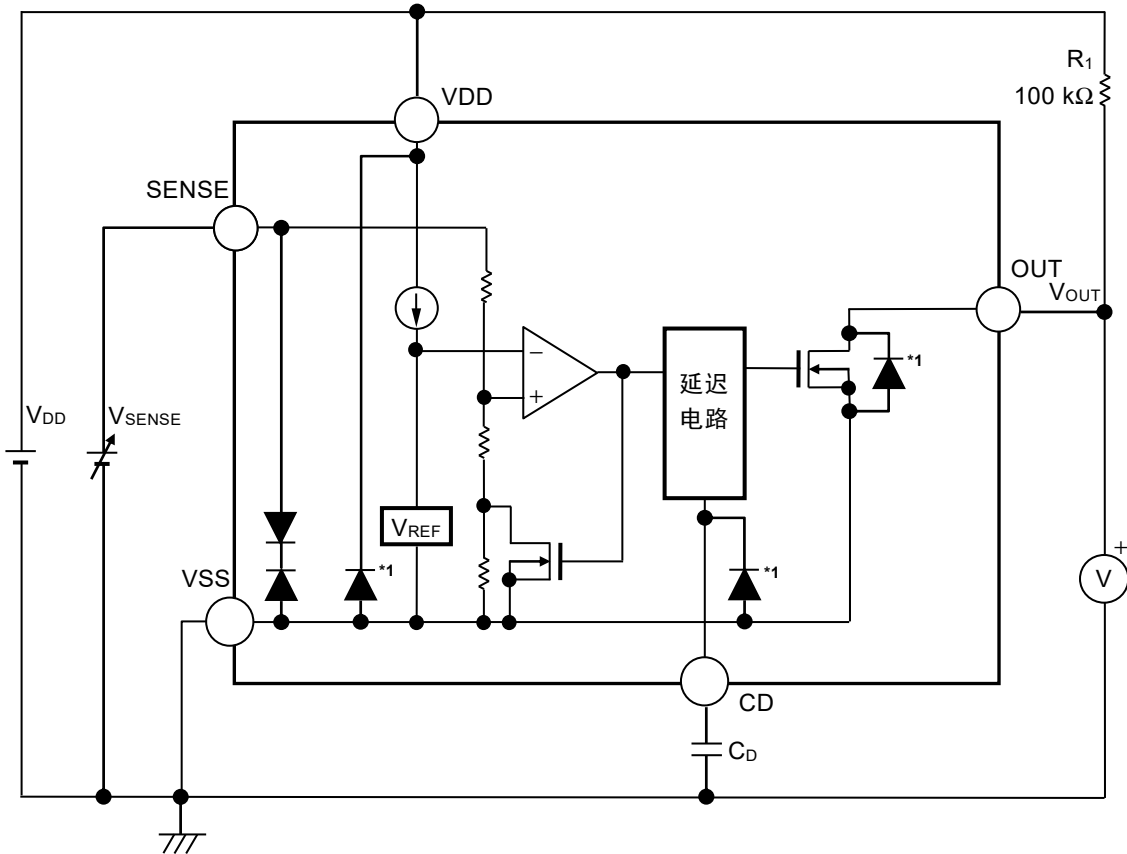


图15 S-19115系列L型的时序

1.2 S-19115系列M / N型

- (1) 解除状态 → 检测状态
当SENSE端子电压 (V_{SENSE}) 上升并超过检测电压 (V_{DET}), 经过了检测响应时间 (t_{RESET}) 后, OUT端子的输出为 "L".
- (2) 检测状态 → 解除状态
当 V_{SENSE} 下降并低于解除电压 ($V_{REL} = V_{DET} - V_{HYS}$), 经过了解除延迟时间 (t_{DELAY}) 后, OUT端子的输出为 "H".



*1. 寄生二极管

图16 S-19115系列M / N型的工作说明

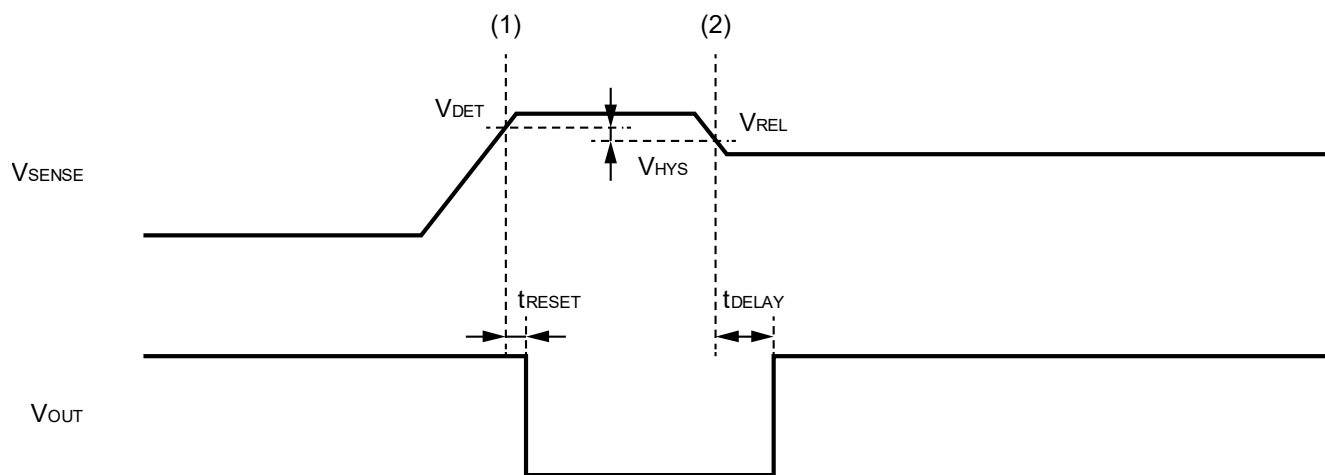


图17 S-19115系列M / N型的时序

1.3 SENSE端子

SENSE端子是检测电压的输入端子。因为区分了电源的VDD端子和检测电压用的SENSE端子，只要对VDD端子提供电压，即使SENSE端子的输入电压低于最低工作电压，也能保持复位信号。另外，本IC的SENSE端子内置有反向连接保护电路，即使SENSE端子电压 < VSS端子电压，从VSS端子流向SENSE端子的电流也能控制在0.05 mA (典型值)。

1.3.1 检测电压外部设定时的误差

如图18所示，通过将电阻 (R_A) 和电阻 (R_B) 分压后的节点与SENSE端子连接，便可对检测电压进行外部设定。传统的无SENSE端子的产品因必须使分压节点与VDD端子连接，因此外部电阻不能太大。这是因为VDD端子在检测或解除的切换时会有击穿电流流经，若外部电阻过大则容易发生振荡或滞后幅度的误差变大等问题。

本IC由于可将分压节点连接到没有击穿电流流经的SENSE端子，因此容易增大图18的 R_A 、 R_B 。但会产生流经内部电阻 (R_{SENSE}) 的电流份额的误差，务请注意。

尽管本IC为减小此误差特增大了 R_{SENSE} *1，请仔细选定 R_A 、 R_B 以便将误差控制在容许范围之内。

*1. 6.8 M Ω (最小值)

1.3.2 RA、RB的选定

在图18中，外部设定的检测电压 (V_{DX}) 与实际的检测电压 (V_{DET}) 的理想关系式如下所示。

$$V_{DX} = V_{DET} \times \left(1 + \frac{R_A}{R_B}\right) \dots\dots\dots (1)$$

但实际上，会产生流经R_{SENSE}的电流份额的误差。
 在考虑此误差的情况下，V_{DX}和V_{DET}的关系式如下所示。

$$\begin{aligned} V_{DX} &= V_{DET} \times \left(1 + \frac{R_A}{R_B \parallel R_{SENSE}}\right) \\ &= V_{DET} \times \left(1 + \frac{R_A}{\frac{R_B \times R_{SENSE}}{R_B + R_{SENSE}}}\right) \\ &= V_{DET} \times \left(1 + \frac{R_A}{R_B}\right) + \frac{R_A}{R_{SENSE}} \times V_{DET} \dots\dots\dots (2) \end{aligned}$$

从 (1)、(2) 式可知，误差为V_{DET} × $\frac{R_A}{R_{SENSE}}$ 。
 用 (1) 式的右边除以误差的误差率如下所示。

$$\frac{R_A \times R_B}{R_{SENSE} \times (R_A + R_B)} \times 100 [\%] = \frac{R_A \parallel R_B}{R_{SENSE}} \times 100 [\%] \dots\dots (3)$$

从 (3) 式可知，R_A和R_B的电阻值相对R_{SENSE}越小，误差率则越小。

此外，外部设定的滞后幅度 (V_{HX}) 与滞后幅度 (V_{HYS}) 的关系式如下所示。它同检测电压一样也会因R_{SENSE}而发生误差。

$$V_{HX} = V_{HYS} \times \left(1 + \frac{R_A}{R_B}\right) \dots\dots\dots (4)$$

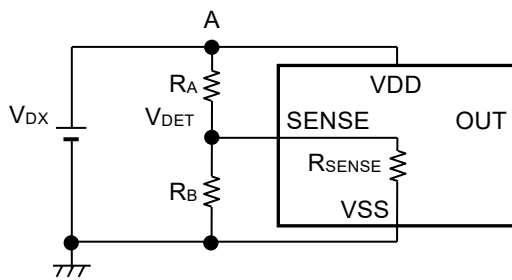


图18 检测电压外部设定电路

注意 R_A、R_B如过大，SENSE端子的输入阻抗则变高，可能会因噪声而引起误工作。如遇此情况，则请在SENSE端子 - VSS端子之间连接电容器。

1.4 延迟电路

延迟电路备有调整从SENSE端子电压 (V_{SENSE}) 下降到解除电压 ($V_{REL} = V_{DET} - V_{HYS}$) 以下开始到OUT端子输出反转为止的解除延迟时间 (t_{DELAY}) 的功能。

t_{DELAY} 是由延迟系数、解除延迟时间调整用电容器 (C_D) 及CD端子处于开路状态时的解除延迟时间 (t_{DELAY0}) 而决定, 按如下公式计算。

$$t_{DELAY} [ms] = \text{延迟系数} \times C_D [nF] + t_{DELAY0} [ms]$$

表10

| 工作温度 | 延迟系数 | | |
|-------------|------|------|------|
| | 最小值 | 典型值 | 最大值 |
| Ta = +125°C | 2.65 | 3.03 | 3.41 |
| Ta = +105°C | 2.71 | 3.05 | 3.35 |
| Ta = +25°C | 2.92 | 3.06 | 3.14 |
| Ta = -40°C | 2.65 | 3.09 | 3.41 |

表11

| 工作温度 | CD端子处于开路状态时的解除延迟时间 (t_{DELAY0}) | | |
|-------------|-------------------------------------|------|------|
| | 最小值 | 典型值 | 最大值 |
| Ta = +125°C | 0.05 | 0.09 | 0.17 |
| Ta = +105°C | 0.05 | 0.10 | 0.17 |
| Ta = +25°C | 0.06 | 0.11 | 0.19 |
| Ta = -40°C | 0.06 | 0.13 | 0.25 |

- 注意 1. 因为CD端子的阻抗很高, 在安装基板布局时请注意不要从外部向此端子流入电流, 或者流出电流 (有可能无法得到正确的延迟时间)。
2. 只要选择相对内置恒流电流值 (约160 nA) 可以忽视电容器本身的泄漏电流的产品, C_D 的电容就不受限制。若有泄漏电流, 延迟时间就会与产生误差。另外, 若有内置恒流电流以上的泄漏电流就不能进行检测和解除。
3. 以上公式并不能保证工作。 C_D 的电容须在实际的使用条件下对温度特性等进行充分评估之后再决定。

■ 使用时的注意事项

1. 电源接通顺序

电源接通可按下述2种步骤中的任意一种进行。

- (1) 按VDD端子、SENSE端子的顺序接通 (参阅图19)
- (2) VDD端子和SENSE端子同时接通

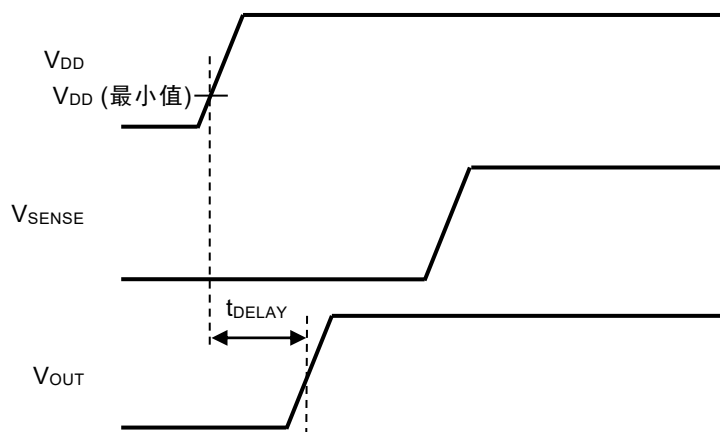


图19

注意 按SENSE端子、VDD端子的顺序接通电源时，即使 $V_{SENSE} < V_{DET}$ ，检测器也有可能误成检测状态。

2. SENSE端子电压的电子脉冲 (典型数据)

2.1 检测工作

在解除状态下将检测电压 (V_{DET}) 以上的脉冲输入到SENSE端子时, 可保持解除状态的脉冲幅度和脉冲电压差 (V_{OD}) 的关系如图20所示。

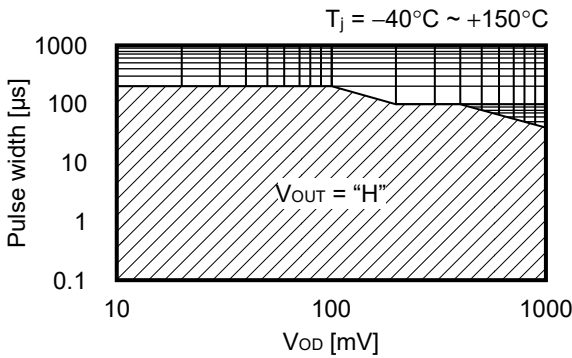
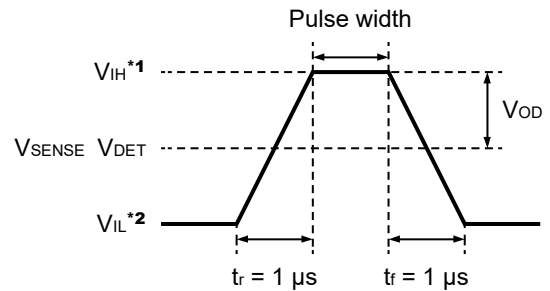


图20



*1. $V_{IH} = V_{DET} + V_{OD}$

*2. $V_{IL} = 13.5 \text{ V}$

图21 SENSE端子输入电压波形

注意 图20表示可保持解除状态的脉冲条件。如果将与上述条件相比脉冲幅度及 V_{OD} 更大的脉冲输入到SENSE端子, OUT端子可能会进入检测状态。

2.2 解除工作

在检测状态下将解除电压 (V_{REL}) 以下的脉冲输入到SENSE端子时, 可保持检测状态的脉冲幅度和脉冲电压差 (V_{OD}) 的关系如图22所示。

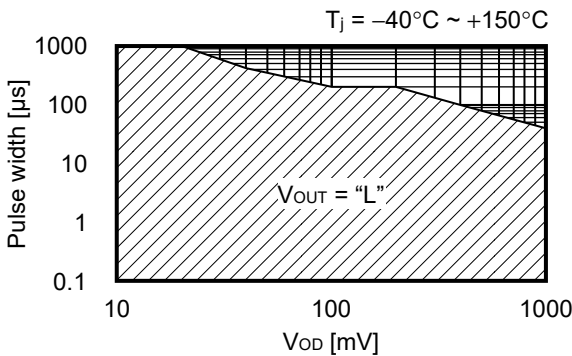
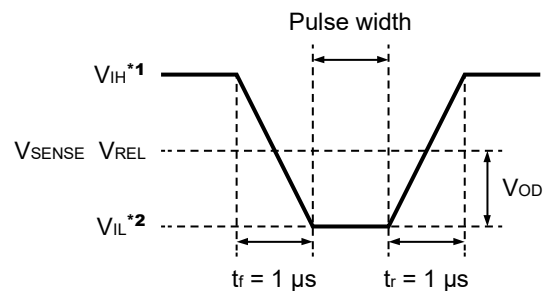


图22



*1. $V_{IH} = V_{DET} + 1.0 \text{ V}$

*2. $V_{IL} = V_{REL} - V_{OD}$

图23 SENSE端子输入电压波形

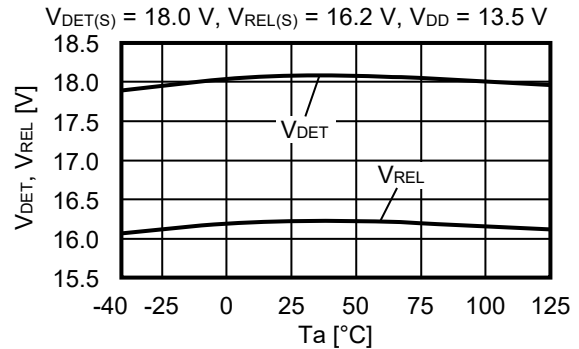
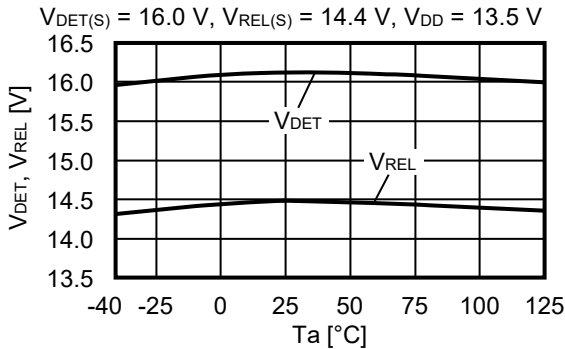
注意 图22表示可保持检测状态的脉冲条件。如果将与上述条件相比脉冲幅度及 V_{OD} 更大的脉冲输入到SENSE端子, OUT端子可能会进入解除状态。

■ 注意事项

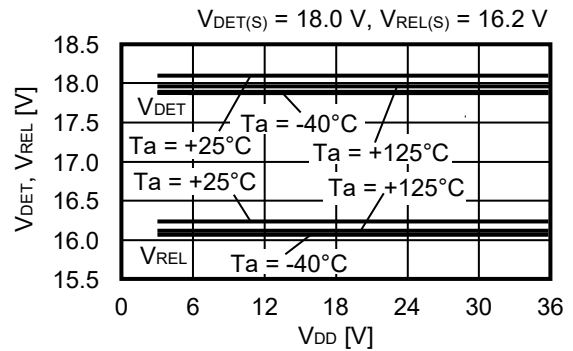
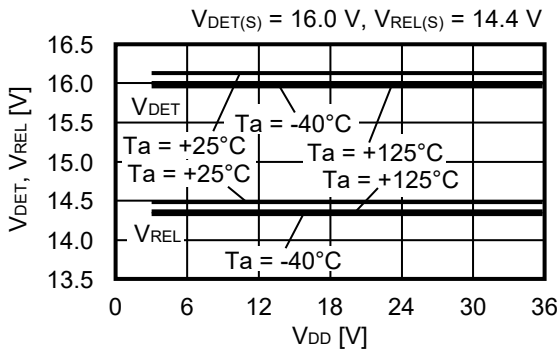
- 本IC虽内置了防静电保护电路，但请不要对IC施加超过保护电路性能的过大静电。
- SENSE端子因阻抗高，可能会因噪音而引生误工作。
在实际的应用电路中，请注意与SENSE端子的布线并行的布线。
- 本资料中所记载的应用电路用于大量生产设计的情况下，请注意部件的偏差与温度特性。另外，有关所记载电路的专利，本公司概不承担相应责任。
- 使用本公司的IC生产产品时，如因其产品中对该IC的使用方法或产品的规格、或因进口国等原因，使包括本IC产品在内的制品发生专利纠纷时，本公司概不承担相应责任。

■ 各种特性数据 (典型数据)

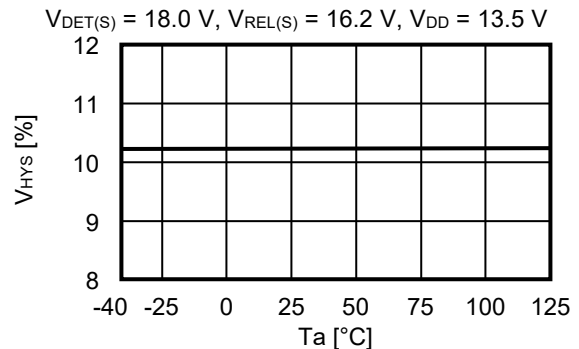
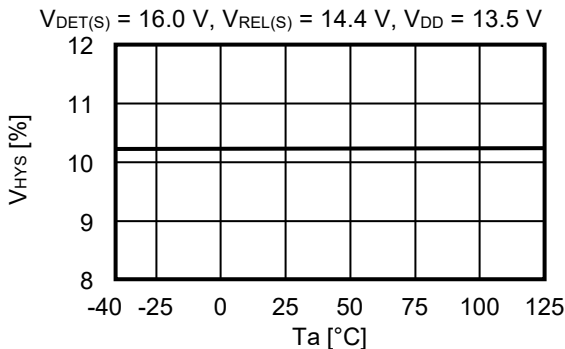
1. 检测电压 (V_{DET}), 解除电压 (V_{REL}) – 温度 (T_a)



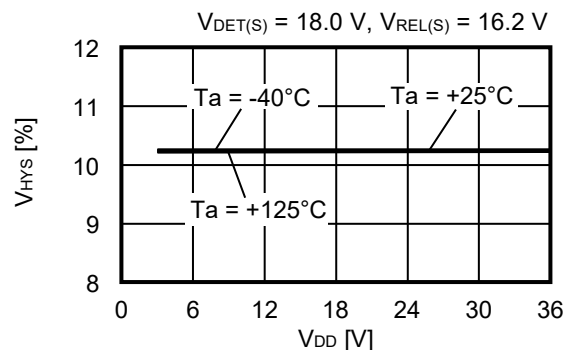
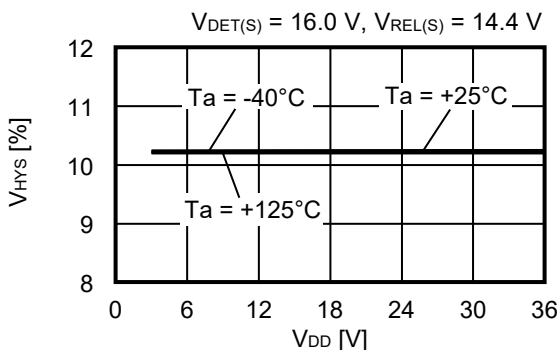
2. 检测电压 (V_{DET}), 解除电压 (V_{REL}) – 电源电压 (V_{DD})



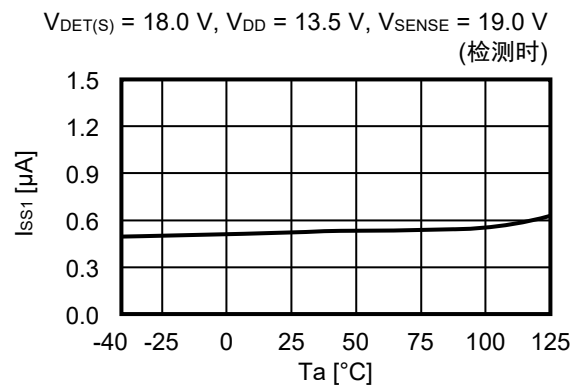
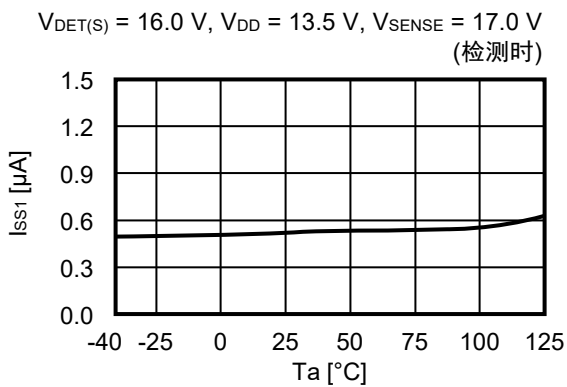
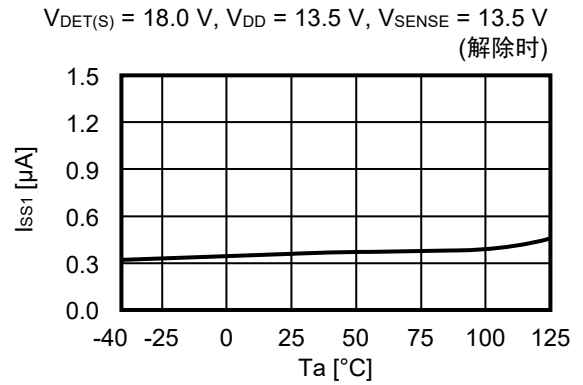
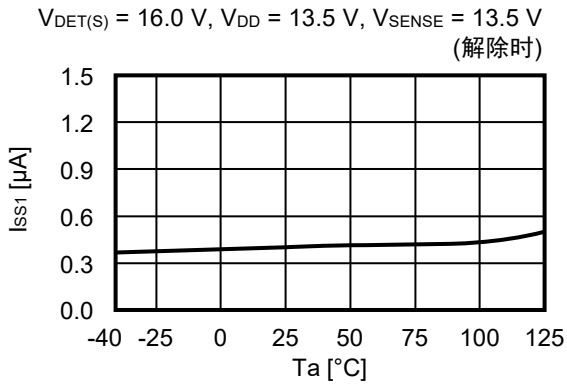
3. 滞后幅度 (V_{HYS}) – 温度 (T_a)



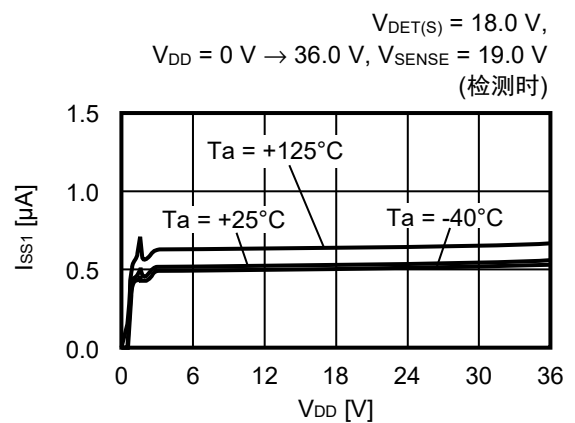
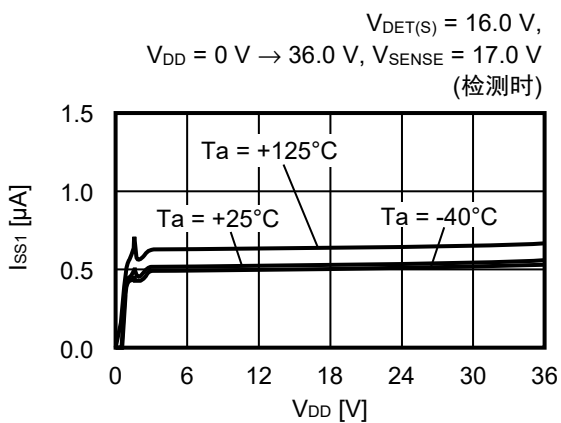
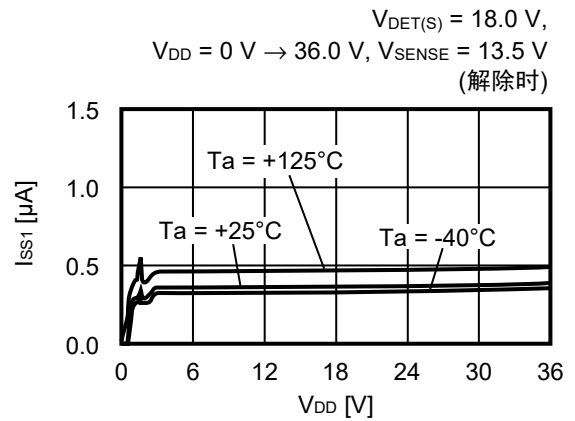
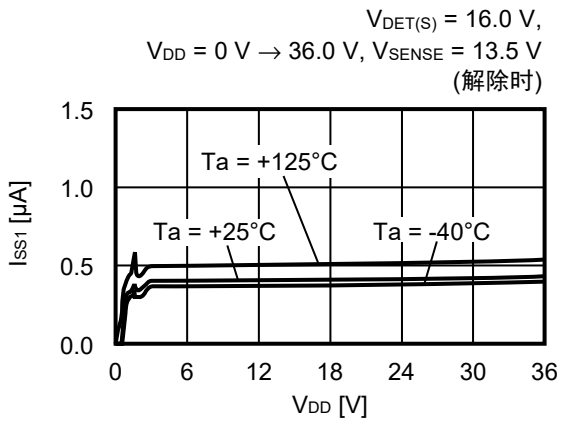
4. 滞后幅度 (V_{HYS}) – 电源电压 (V_{DD})



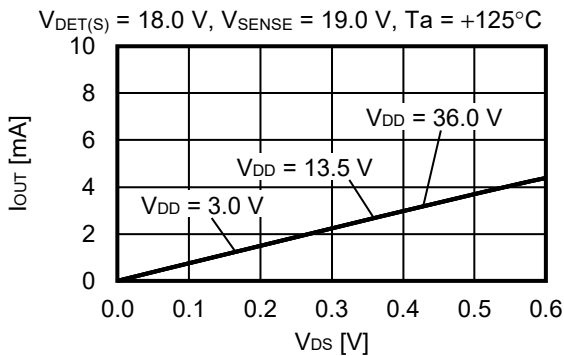
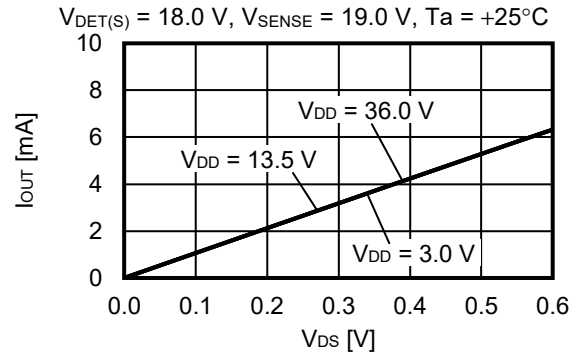
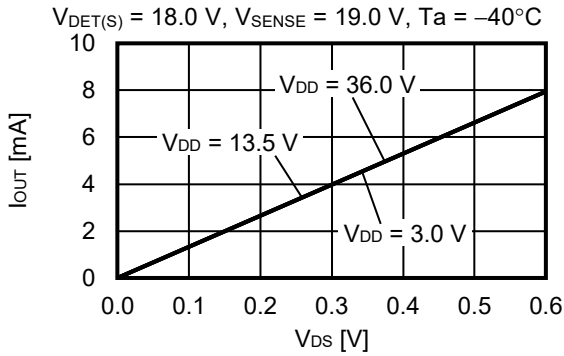
5. 消耗电流 (I_{SS1}) – 温度 (T_a)



6. 消耗电流 (I_{SS1}) – 电源电压 (V_{DD}) (无负载)

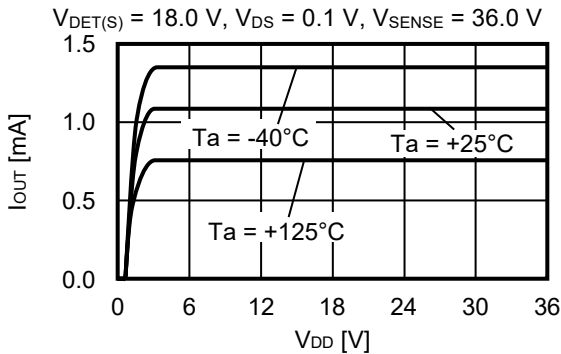


7. N沟道晶体管输出电流 (I_{OUT}) – V_{DS}



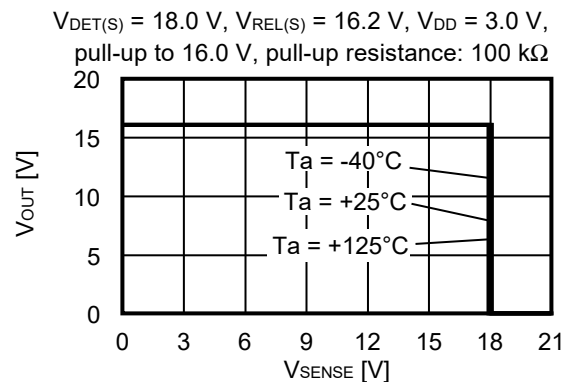
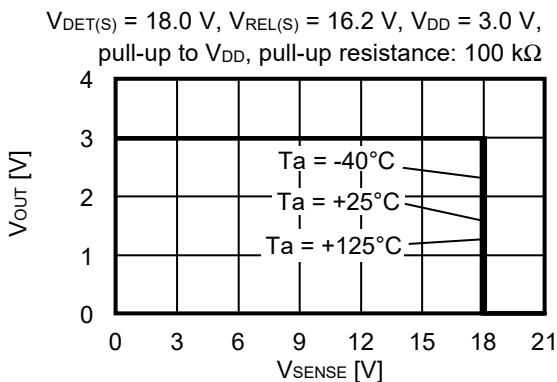
备注 V_{DS} : 输出晶体管的漏极、源极之间的电压。

8. N沟道晶体管输出电流 (I_{OUT}) – 电源电压 (V_{DD})



备注 V_{DS} : 输出晶体管的漏极、源极之间的电压。

9. 输出电压 (V_{OUT}) – SENSE端子电压 (V_{SENSE})



10. 动态响应特性 – 输出端子电容 (C_{OUT}) (CD端子处于开路状态)

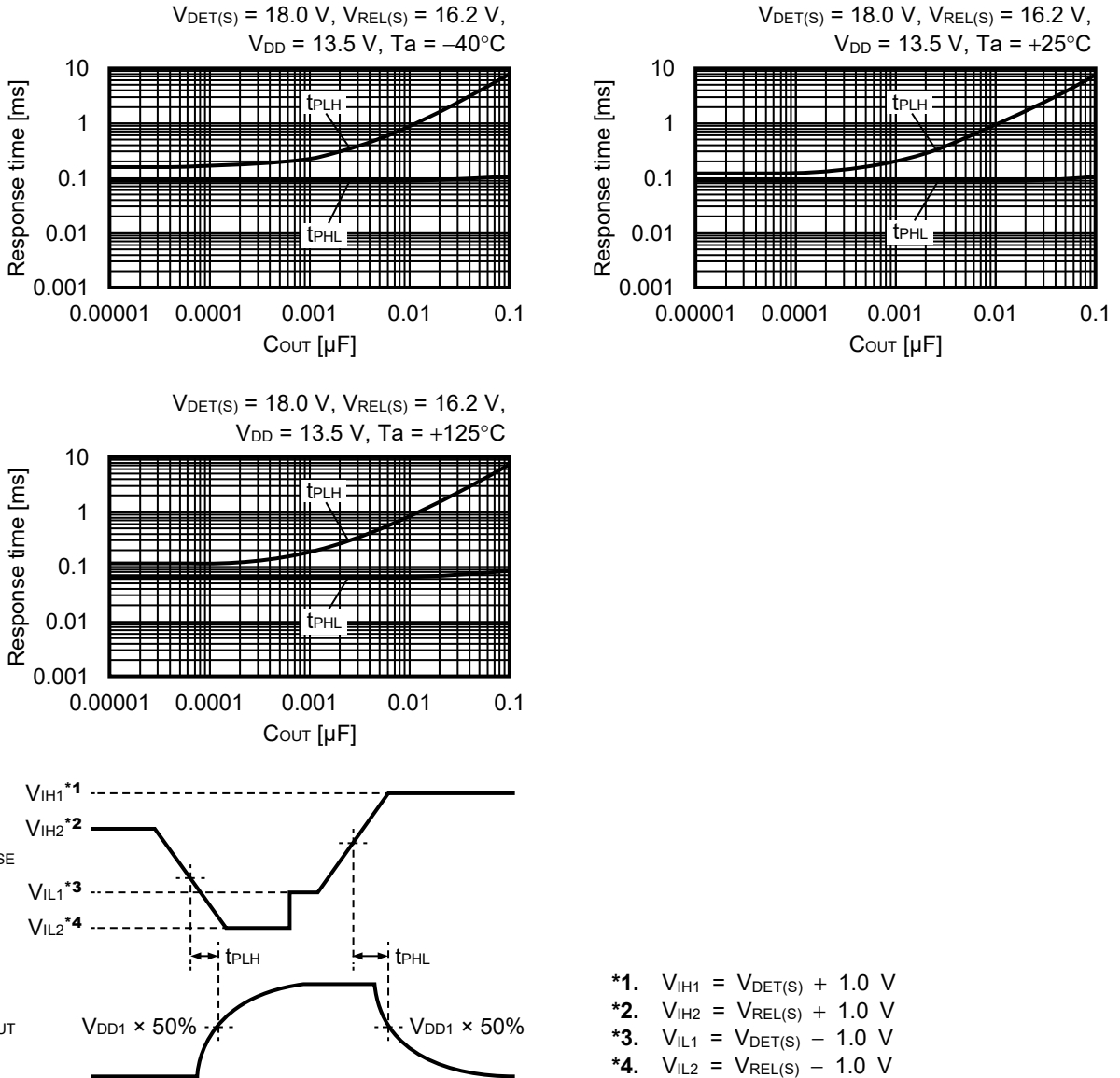


图24 响应时间的测定条件

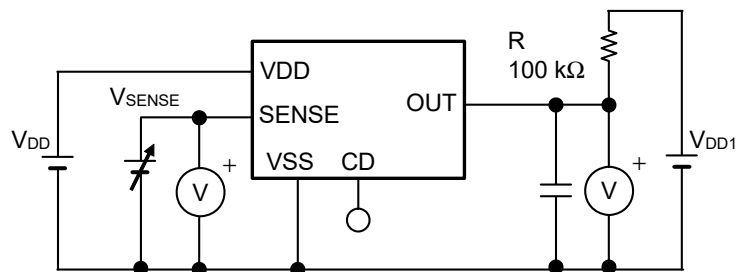
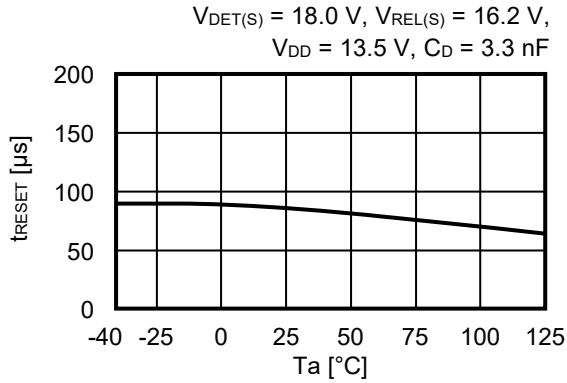


图25 响应时间的测定电路

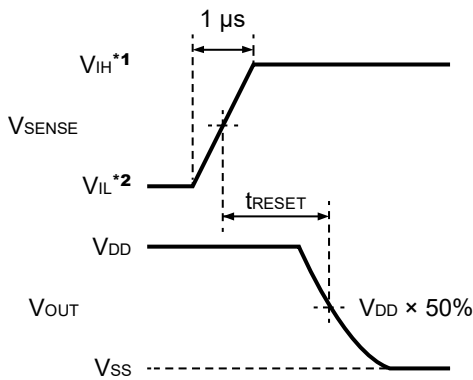
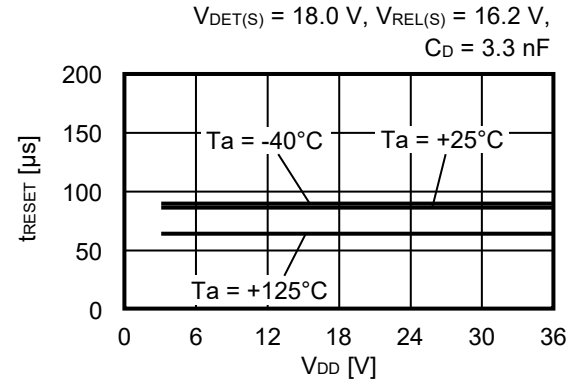
- 注意 1. 上述连接图以及参数并不作为保证电路工作的依据。在实际的应用电路上，请对包括温度特性等进行充分的实测验后再设定参数。
2. CD端子处于开路状态时，在解除时会出现双脉冲的情况。出现双脉冲问题时，请在CD端子处连接1 nF以上的电容后再使用。

■ 参考数据

1. 检测响应时间 (t_{RESET}) – 温度 (T_a)



2. 检测响应时间 (t_{RESET}) – 电源电压 (V_{DD})



- *1. $V_{IH} = V_{DET(S)} + 1.0\text{ V}$
- *2. $V_{IL} = V_{DET(S)} - 1.0\text{ V}$

图26 检测响应时间的测定条件

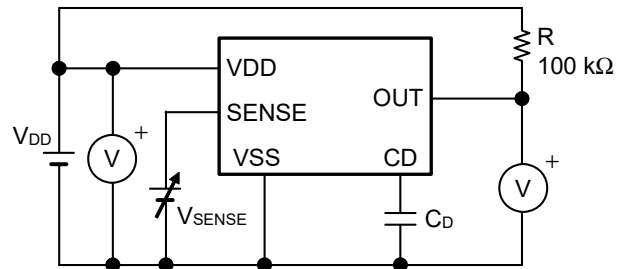
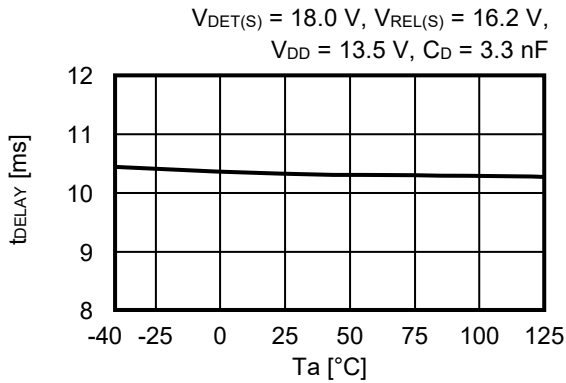


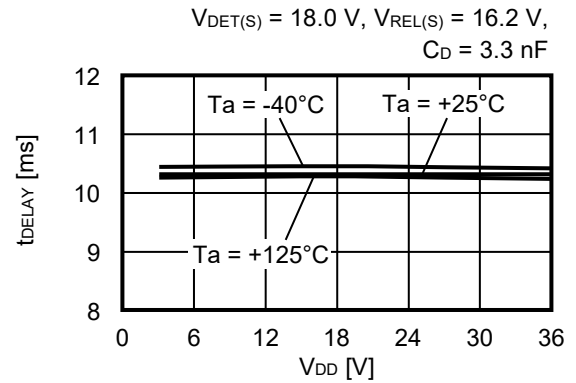
图27 检测响应时间的测定电路

注意 上述连接图以及参数并不作为保证电路工作的依据。在实际的应用电路上，请对包括温度特性等进行充分的实实验证后再设定参数。

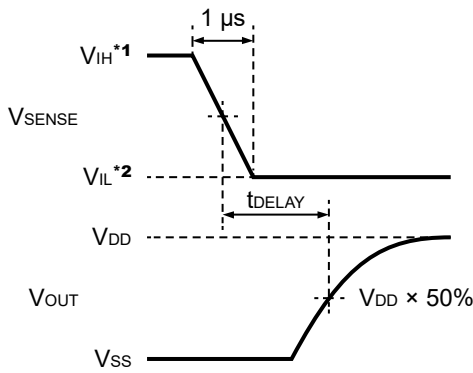
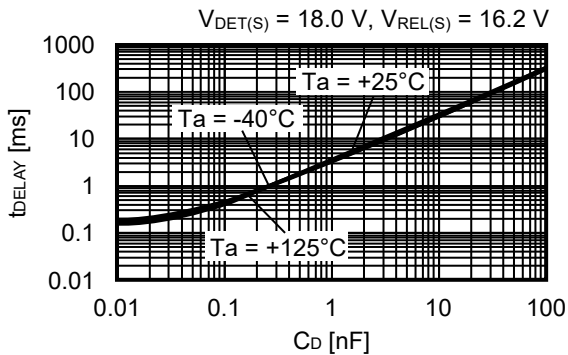
3. 解除延迟时间 (t_{DELAY}) – 温度 (T_a)



4. 解除延迟时间 (t_{DELAY}) – 电源电压 (V_{DD})



5. 解除延迟时间 (t_{DELAY}) – C_D 端子电容 (C_D) (无输出端子电容)



- *1. $V_{IH} = V_{REL(S)} + 1.0\text{ V}$
- *2. $V_{IL} = V_{REL(S)} - 1.0\text{ V}$

图28 解除延迟时间的测定条件

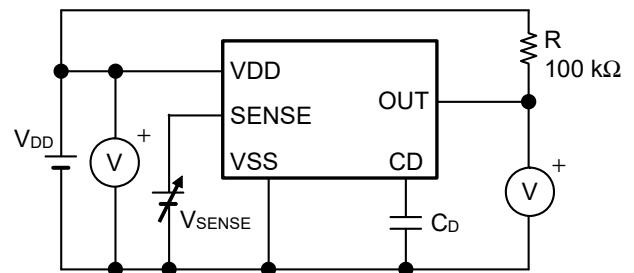


图29 解除延迟时间的测定电路

注意 上述连接图以及参数并不作为保证电路工作的依据。在实际的应用电路上，请对包括温度特性等进行充分的实实验证后再设定参数。

6. 抛负载特性 (Ta = +25°C)

6.1 $V_{DET(S)} = 18.0\text{ V}$

$V_{DD} = V_{SENSE} = 13.5\text{ V} \leftrightarrow 45.0\text{ V}$,
 $V_{DD1} = 5.0\text{ V}$, $C_D = 3.3\text{ nF}$

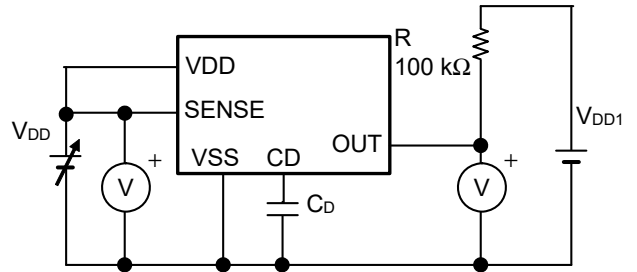
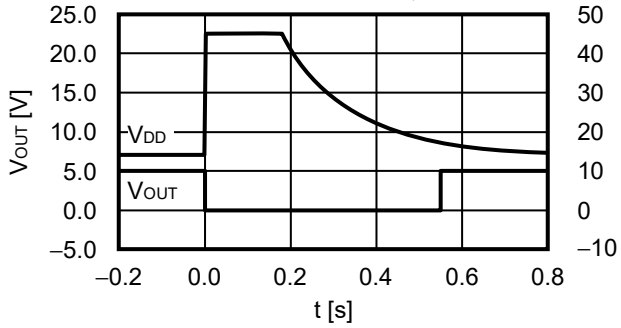
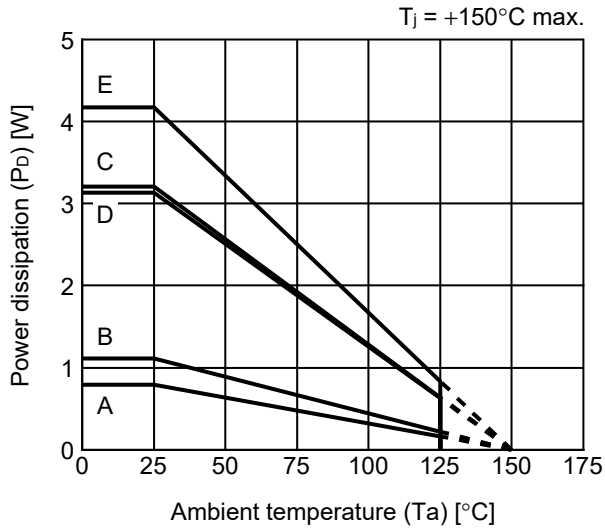


图30

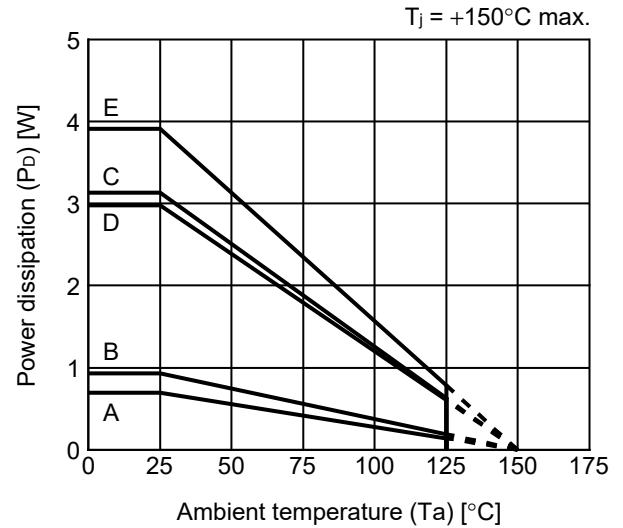
Power Dissipation

HTMSOP-8



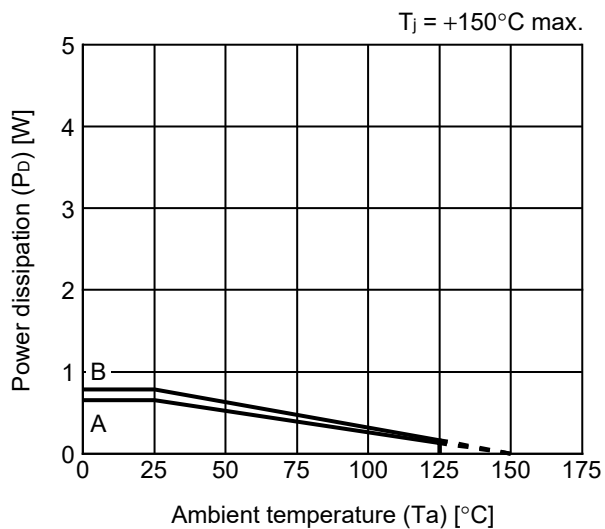
| Board | Power Dissipation (P_D) |
|-------|-----------------------------|
| A | 0.79 W |
| B | 1.11 W |
| C | 3.21 W |
| D | 3.13 W |
| E | 4.17 W |

HSNT-8(2030)




| Board | Power Dissipation (P_D) |
|-------|-----------------------------|
| A | 0.69 W |
| B | 0.93 W |
| C | 3.13 W |
| D | 2.98 W |
| E | 3.91 W |

SOT-23-5

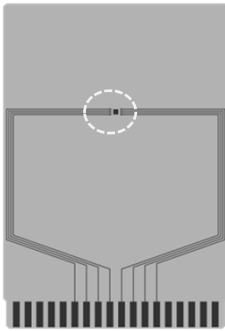


| Board | Power Dissipation (P_D) |
|-------|-----------------------------|
| A | 0.65 W |
| B | 0.78 W |
| C | - |
| D | - |
| E | - |

HTMSOP-8 Test Board

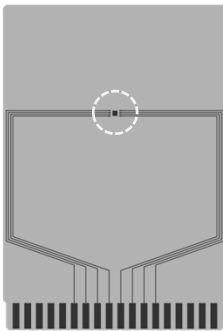
 IC Mount Area

(1) Board A



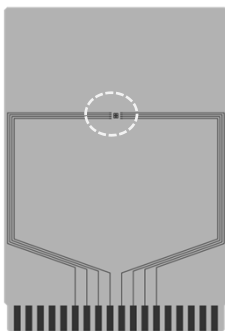
| Item | Specification | |
|-----------------------------|---------------------|---|
| Size [mm] | 114.3 x 76.2 x t1.6 | |
| Material | FR-4 | |
| Number of copper foil layer | 2 | |
| Copper foil layer [mm] | 1 | Land pattern and wiring for testing: t0.070 |
| | 2 | - |
| | 3 | - |
| | 4 | 74.2 x 74.2 x t0.070 |
| Thermal via | - | |

(2) Board B



| Item | Specification | |
|-----------------------------|---------------------|---|
| Size [mm] | 114.3 x 76.2 x t1.6 | |
| Material | FR-4 | |
| Number of copper foil layer | 4 | |
| Copper foil layer [mm] | 1 | Land pattern and wiring for testing: t0.070 |
| | 2 | 74.2 x 74.2 x t0.035 |
| | 3 | 74.2 x 74.2 x t0.035 |
| | 4 | 74.2 x 74.2 x t0.070 |
| Thermal via | - | |

(3) Board C




| Item | Specification | |
|-----------------------------|-------------------------------|---|
| Size [mm] | 114.3 x 76.2 x t1.6 | |
| Material | FR-4 | |
| Number of copper foil layer | 4 | |
| Copper foil layer [mm] | 1 | Land pattern and wiring for testing: t0.070 |
| | 2 | 74.2 x 74.2 x t0.035 |
| | 3 | 74.2 x 74.2 x t0.035 |
| | 4 | 74.2 x 74.2 x t0.070 |
| Thermal via | Number: 4 Diameter: 0.3 mm | |



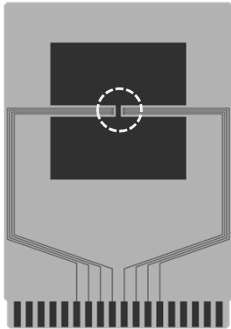
enlarged view

No. HTMSOP8-A-Board-SD-1.0

HTMSOP-8 Test Board

 IC Mount Area

(4) Board D

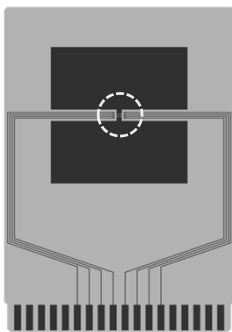


| Item | Specification | |
|-----------------------------|---------------------|--|
| Size [mm] | 114.3 x 76.2 x t1.6 | |
| Material | FR-4 | |
| Number of copper foil layer | 4 | |
| Copper foil layer [mm] | 1 | Pattern for heat radiation: 2000mm ² t0.070 |
| | 2 | 74.2 x 74.2 x t0.035 |
| | 3 | 74.2 x 74.2 x t0.035 |
| | 4 | 74.2 x 74.2 x t0.070 |
| Thermal via | - | |



enlarged view

(5) Board E




| Item | Specification | |
|-----------------------------|-------------------------------|--|
| Size [mm] | 114.3 x 76.2 x t1.6 | |
| Material | FR-4 | |
| Number of copper foil layer | 4 | |
| Copper foil layer [mm] | 1 | Pattern for heat radiation: 2000mm ² t0.070 |
| | 2 | 74.2 x 74.2 x t0.035 |
| | 3 | 74.2 x 74.2 x t0.035 |
| | 4 | 74.2 x 74.2 x t0.070 |
| Thermal via | Number: 4 Diameter: 0.3 mm | |



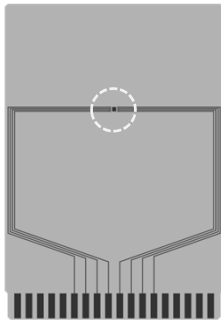
enlarged view

No. HTMSOP8-A-Board-SD-1.0

HSNT-8(2030) Test Board

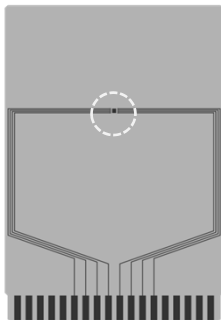
 IC Mount Area

(1) Board A



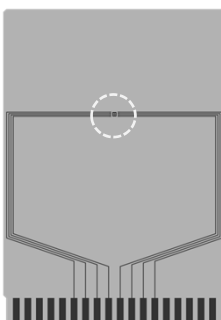
| Item | Specification | |
|-----------------------------|---------------------|---|
| Size [mm] | 114.3 x 76.2 x t1.6 | |
| Material | FR-4 | |
| Number of copper foil layer | 2 | |
| Copper foil layer [mm] | 1 | Land pattern and wiring for testing: t0.070 |
| | 2 | - |
| | 3 | - |
| | 4 | 74.2 x 74.2 x t0.070 |
| Thermal via | - | |

(2) Board B



| Item | Specification | |
|-----------------------------|---------------------|---|
| Size [mm] | 114.3 x 76.2 x t1.6 | |
| Material | FR-4 | |
| Number of copper foil layer | 4 | |
| Copper foil layer [mm] | 1 | Land pattern and wiring for testing: t0.070 |
| | 2 | 74.2 x 74.2 x t0.035 |
| | 3 | 74.2 x 74.2 x t0.035 |
| | 4 | 74.2 x 74.2 x t0.070 |
| Thermal via | - | |

(3) Board C




| Item | Specification | |
|-----------------------------|-------------------------------|---|
| Size [mm] | 114.3 x 76.2 x t1.6 | |
| Material | FR-4 | |
| Number of copper foil layer | 4 | |
| Copper foil layer [mm] | 1 | Land pattern and wiring for testing: t0.070 |
| | 2 | 74.2 x 74.2 x t0.035 |
| | 3 | 74.2 x 74.2 x t0.035 |
| | 4 | 74.2 x 74.2 x t0.070 |
| Thermal via | Number: 4 Diameter: 0.3 mm | |



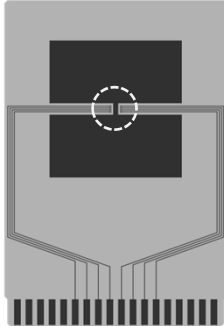
enlarged view

No. HSNT8-A-Board-SD-2.0

HSNT-8(2030) Test Board

 IC Mount Area

(4) Board D

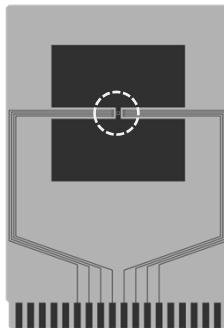


| Item | Specification | |
|-----------------------------|---------------------|--|
| Size [mm] | 114.3 x 76.2 x t1.6 | |
| Material | FR-4 | |
| Number of copper foil layer | 4 | |
| Copper foil layer [mm] | 1 | Pattern for heat radiation: 2000mm ² t0.070 |
| | 2 | 74.2 x 74.2 x t0.035 |
| | 3 | 74.2 x 74.2 x t0.035 |
| | 4 | 74.2 x 74.2 x t0.070 |
| Thermal via | - | |



enlarged view

(5) Board E



| Item | Specification | |
|-----------------------------|-------------------------------|--|
| Size [mm] | 114.3 x 76.2 x t1.6 | |
| Material | FR-4 | |
| Number of copper foil layer | 4 | |
| Copper foil layer [mm] | 1 | Pattern for heat radiation: 2000mm ² t0.070 |
| | 2 | 74.2 x 74.2 x t0.035 |
| | 3 | 74.2 x 74.2 x t0.035 |
| | 4 | 74.2 x 74.2 x t0.070 |
| Thermal via | Number: 4 Diameter: 0.3 mm | |



enlarged view

No. HSNT8-A-Board-SD-2.0

SOT-23-3/3S/5/6 Test Board

 IC Mount Area

(1) Board A



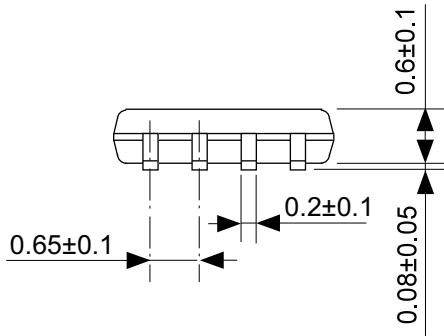
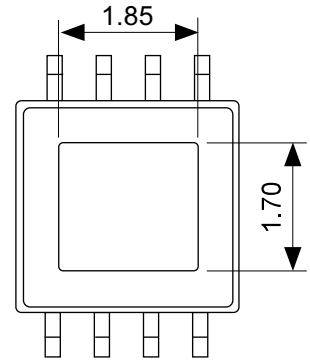
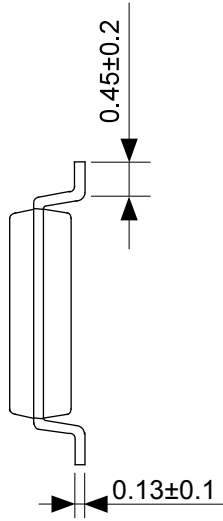
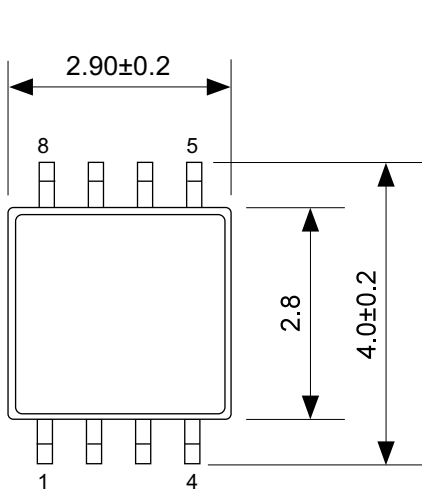
| Item | Specification | |
|-----------------------------|---------------------|---|
| Size [mm] | 114.3 x 76.2 x t1.6 | |
| Material | FR-4 | |
| Number of copper foil layer | 2 | |
| Copper foil layer [mm] | 1 | Land pattern and wiring for testing: t0.070 |
| | 2 | - |
| | 3 | - |
| | 4 | 74.2 x 74.2 x t0.070 |
| Thermal via | - | |

(2) Board B



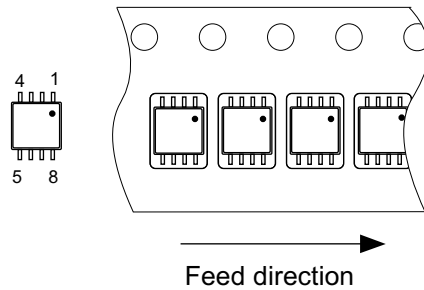
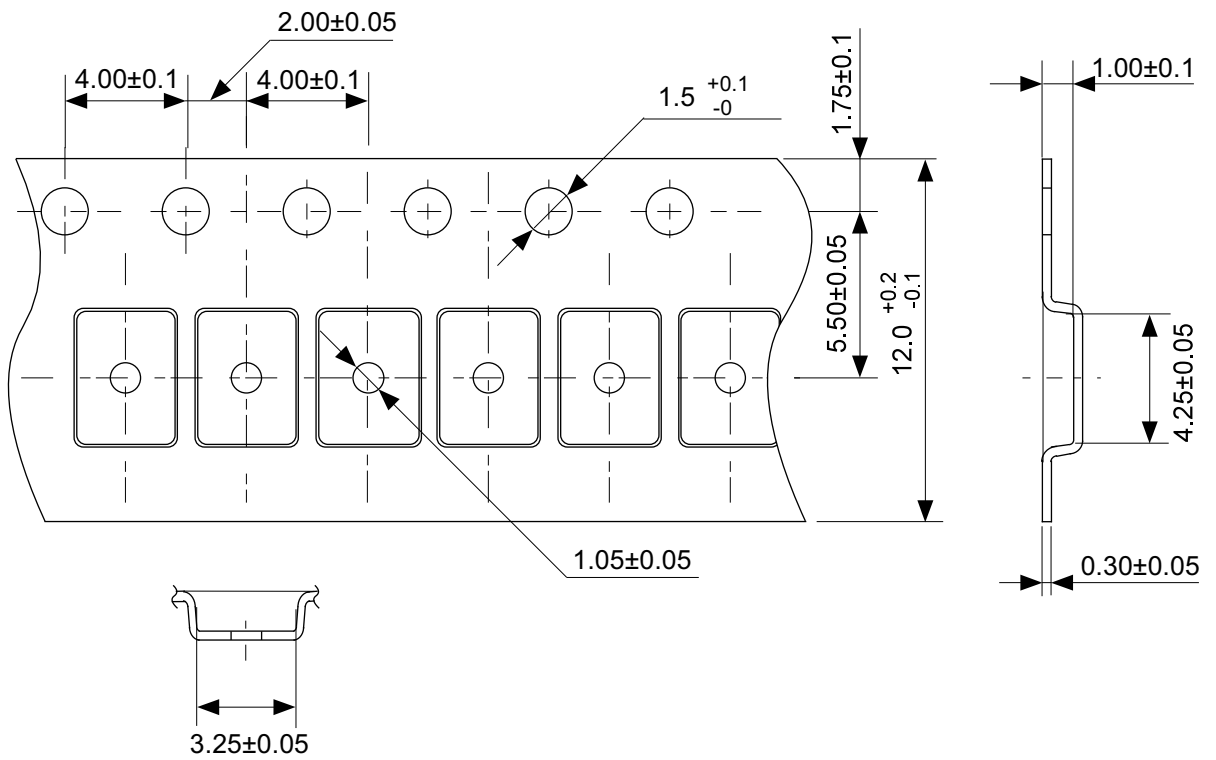
| Item | Specification | |
|-----------------------------|---------------------|---|
| Size [mm] | 114.3 x 76.2 x t1.6 | |
| Material | FR-4 | |
| Number of copper foil layer | 4 | |
| Copper foil layer [mm] | 1 | Land pattern and wiring for testing: t0.070 |
| | 2 | 74.2 x 74.2 x t0.035 |
| | 3 | 74.2 x 74.2 x t0.035 |
| | 4 | 74.2 x 74.2 x t0.070 |
| Thermal via | - | |

No. SOT23x-A-Board-SD-2.0



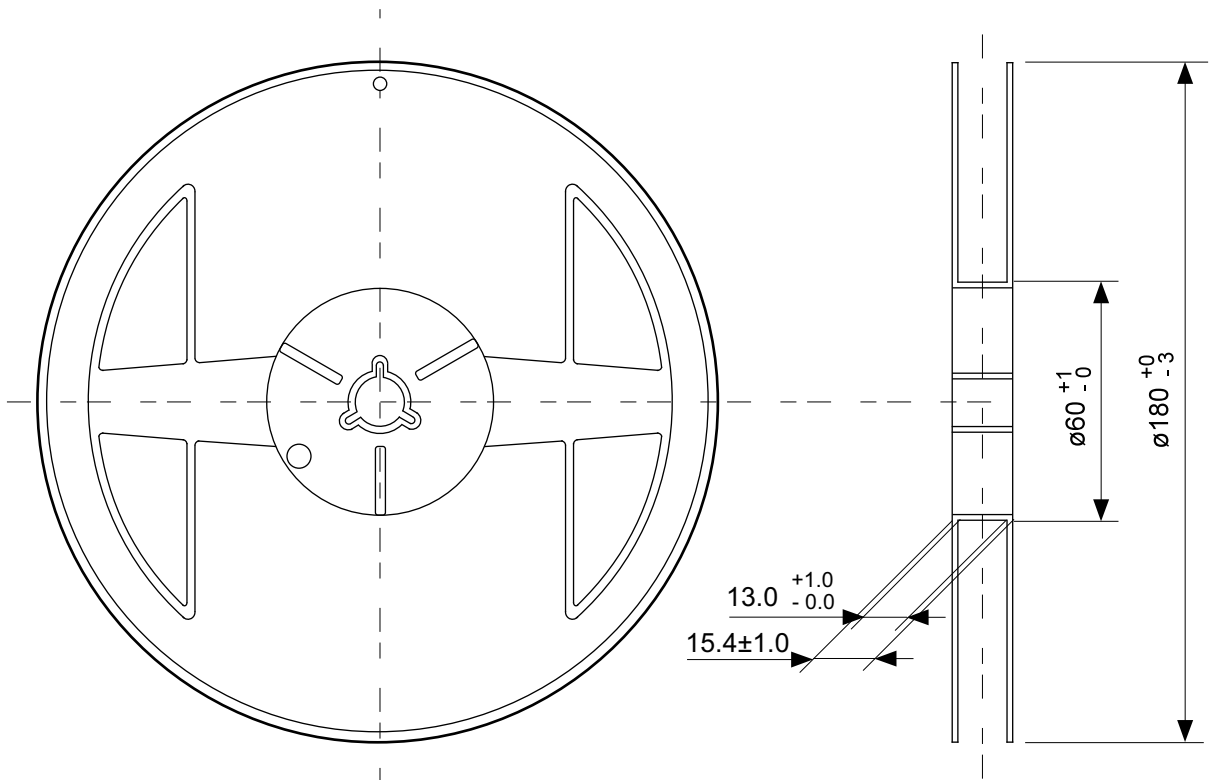
No. FP008-A-P-SD-2.0

| | |
|-------------------|--------------------------|
| TITLE | HTMSOP8-A-PKG Dimensions |
| No. | FP008-A-P-SD-2.0 |
| ANGLE | |
| UNIT | mm |
| ABLIC Inc. | |

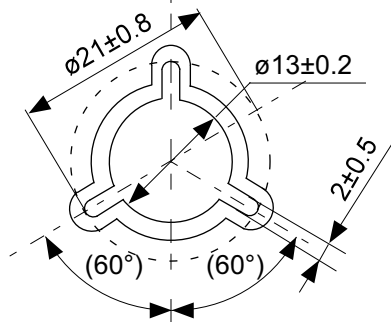


No. FP008-A-C-SD-1.0

| | |
|-------------------|------------------------|
| TITLE | HTMSOP8-A-Carrier Tape |
| No. | FP008-A-C-SD-1.0 |
| ANGLE | |
| UNIT | mm |
| | |
| ABLIC Inc. | |

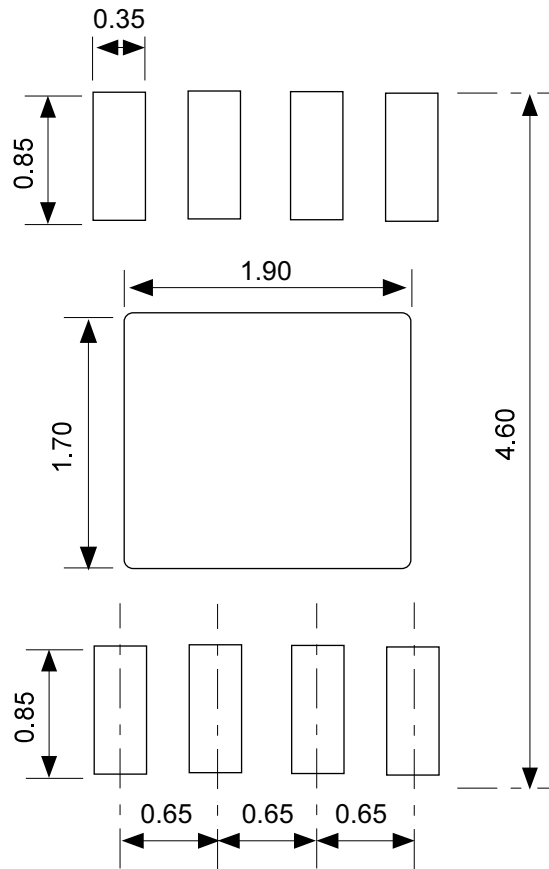


Enlarged drawing in the central part



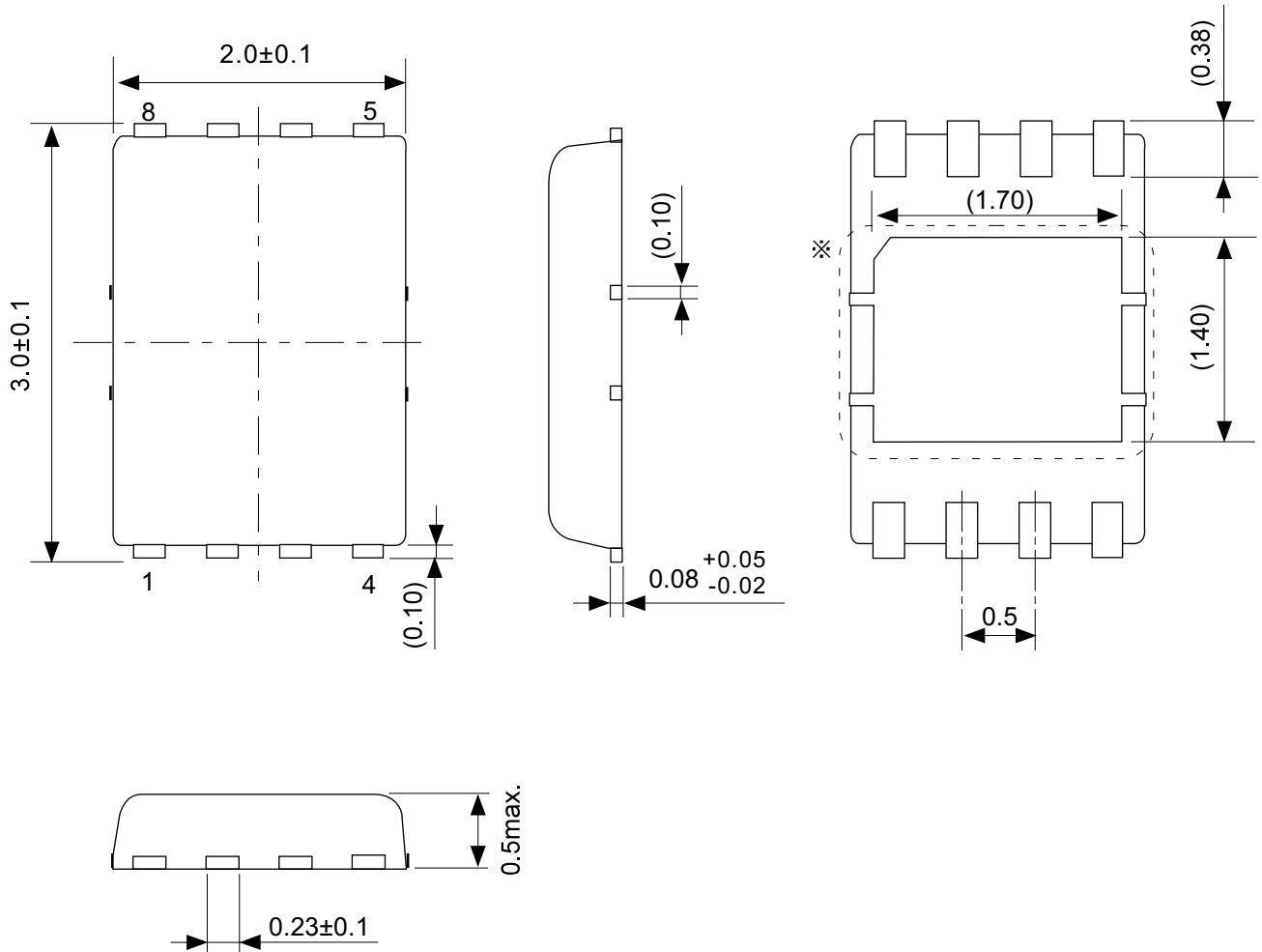
No. FP008-A-R-SD-2.0

| | | | |
|-------------------|------------------|------|-------|
| TITLE | HTMSOP8-A-Reel | | |
| No. | FP008-A-R-SD-2.0 | | |
| ANGLE | | QTY. | 4,000 |
| UNIT | mm | | |
| | | | |
| ABLIC Inc. | | | |




No. FP008-A-L-SD-2.0

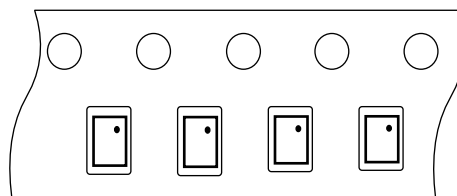
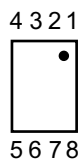
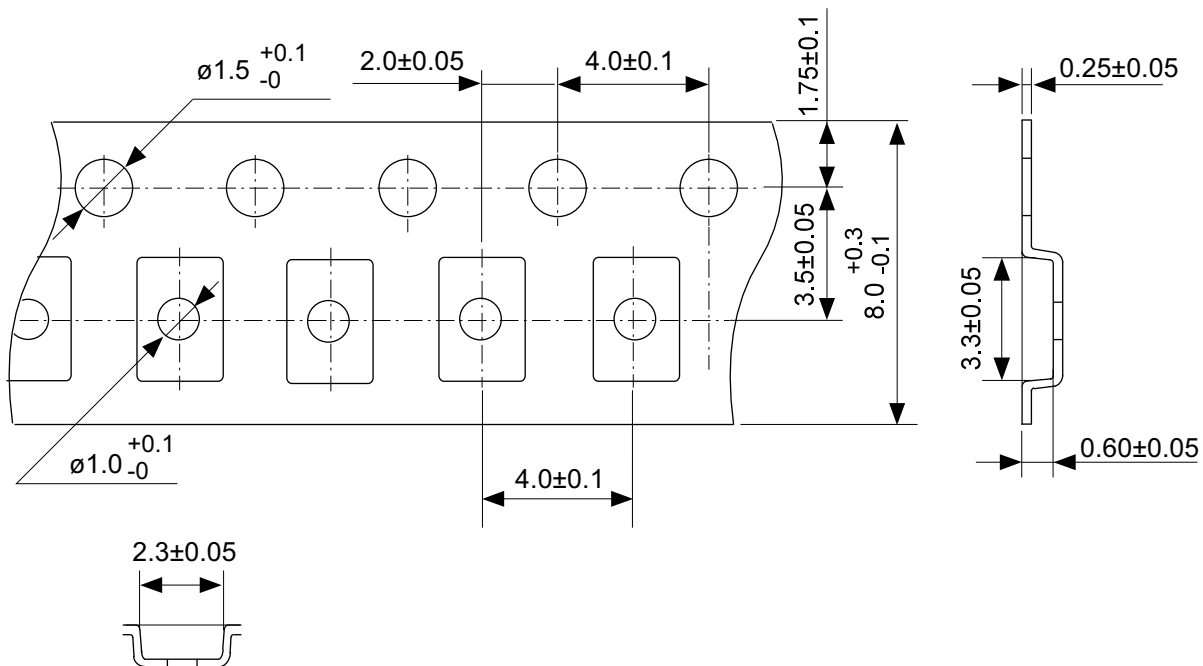
| | |
|-------------------|-----------------------------------|
| TITLE | HTMSOP8-A -Land Recommendation |
| No. | FP008-A-L-SD-2.0 |
| ANGLE | |
| UNIT | mm |
| | |
| ABLIC Inc. | |



\ast The heat sink of back side has different electric potential depending on the product.
 Confirm specifications of each product.
 Do not use it as the function of electrode.

No. PP008-A-P-SD-2.0

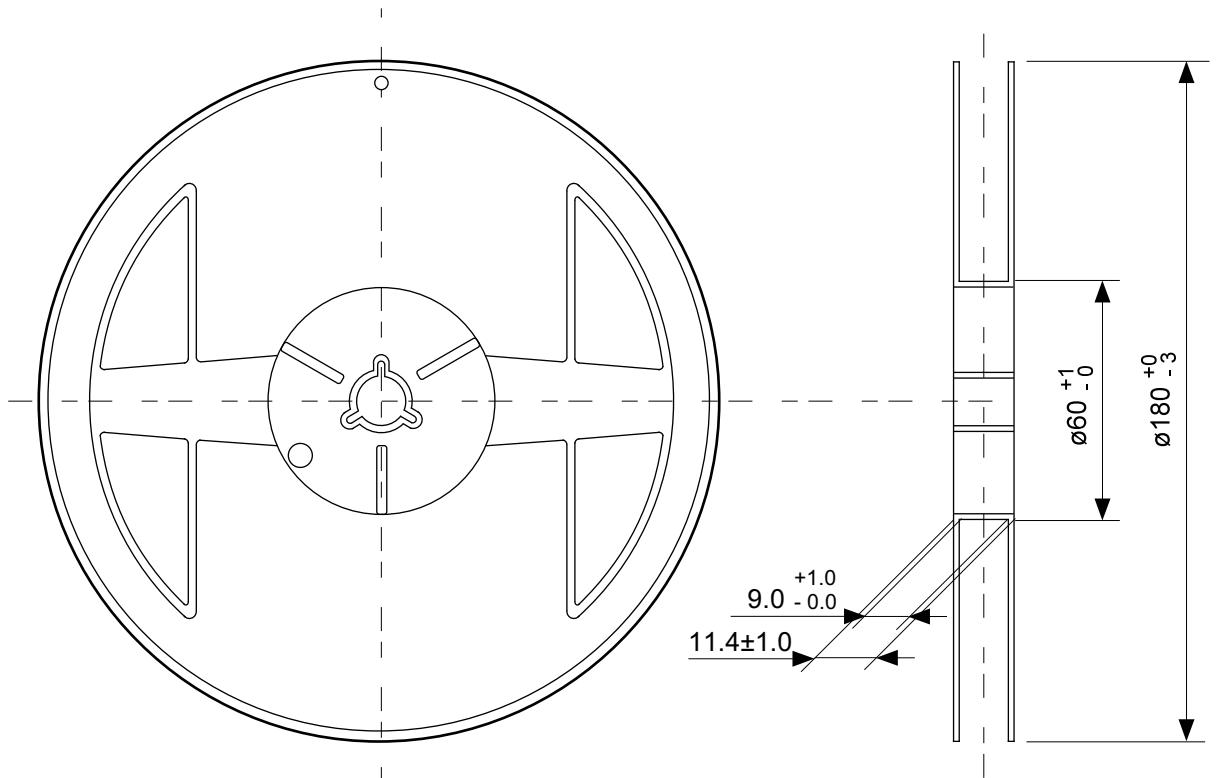
| | |
|-------------------|---|
| TITLE | HSNT-8-A-PKG Dimensions |
| No. | PP008-A-P-SD-2.0 |
| ANGLE |  |
| UNIT | mm |
| | |
| ABLIC Inc. | |



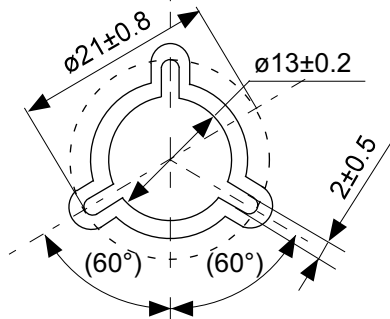
Feed direction

No. PP008-A-C-SD-1.0

| | |
|-------------------|-----------------------|
| TITLE | HSNT-8-A-Carrier Tape |
| No. | PP008-A-C-SD-1.0 |
| ANGLE | |
| UNIT | mm |
| | |
| ABLIC Inc. | |

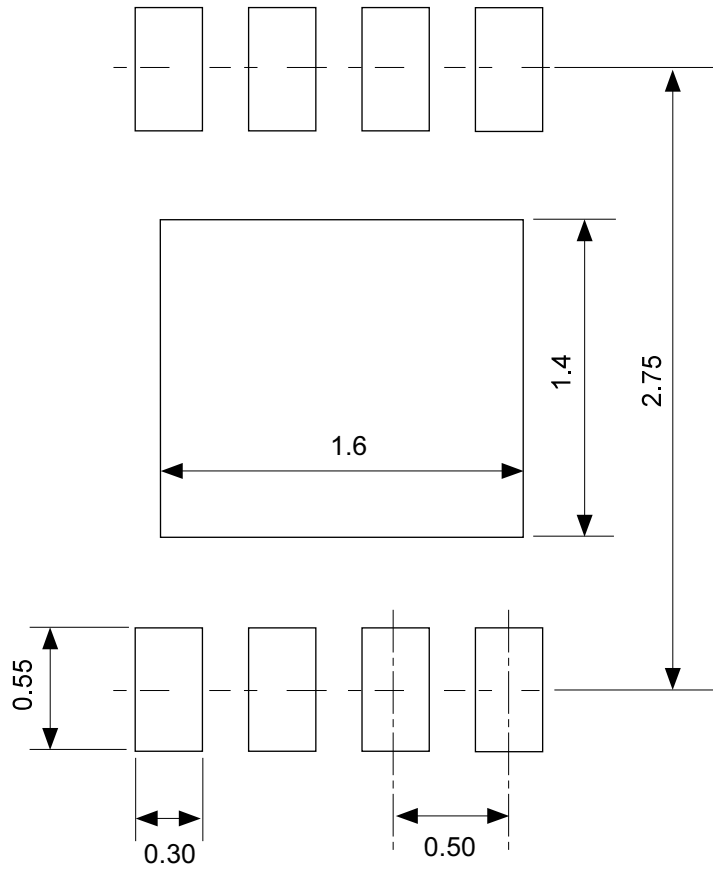


Enlarged drawing in the central part



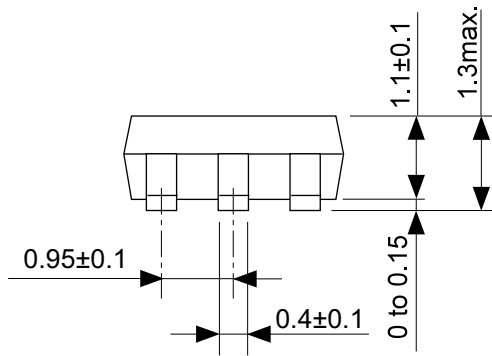
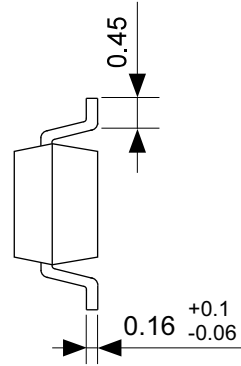
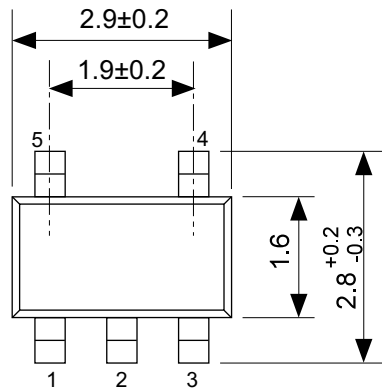
No. PP008-A-R-SD-2.0

| | | | |
|-------------------|------------------|------|-------|
| TITLE | HSNT-8-A-Reel | | |
| No. | PP008-A-R-SD-2.0 | | |
| ANGLE | | QTY. | 5,000 |
| UNIT | mm | | |
| | | | |
| ABLIC Inc. | | | |



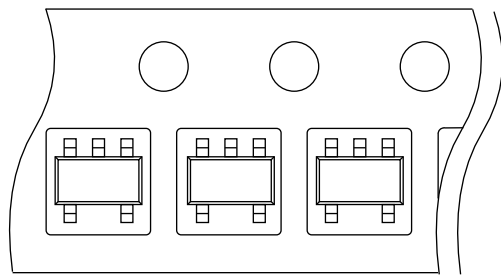
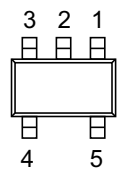
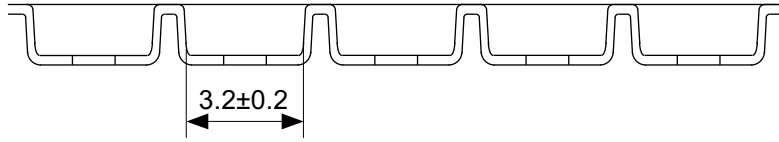
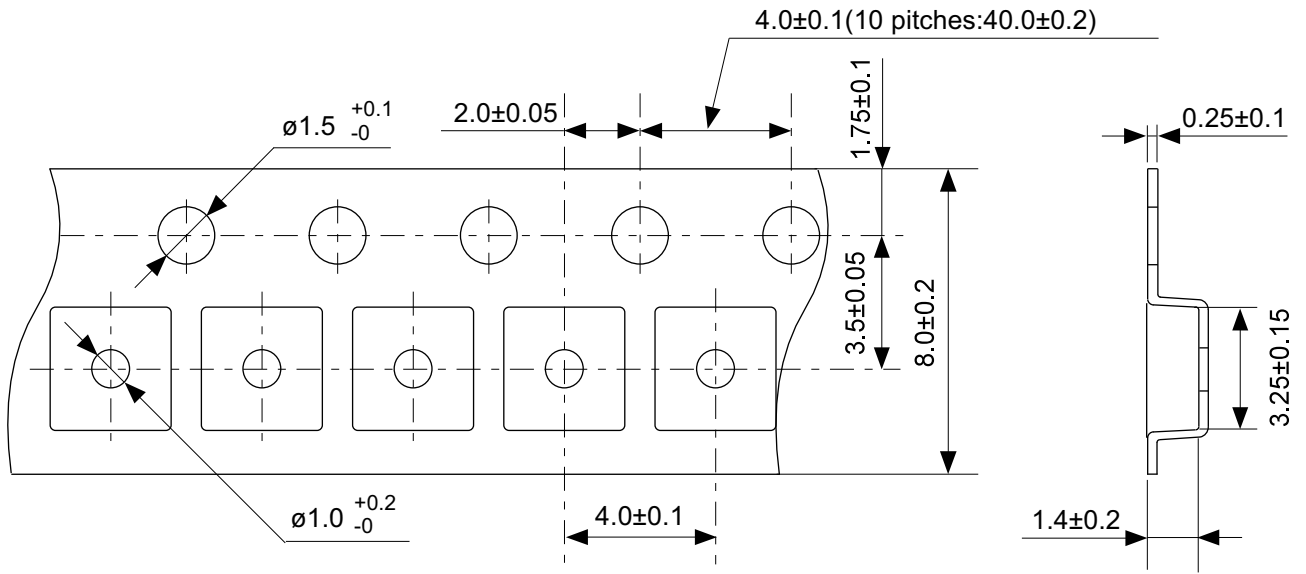
No. PP008-A-L-SD-1.0

| | |
|-------------------|----------------------------------|
| TITLE | HSNT-8-A -Land Recommendation |
| No. | PP008-A-L-SD-1.0 |
| ANGLE | |
| UNIT | mm |
| | |
| ABLIC Inc. | |



No. MP005-A-P-SD-1.3

| | |
|-------------------|-------------------------|
| TITLE | SOT235-A-PKG Dimensions |
| No. | MP005-A-P-SD-1.3 |
| ANGLE | |
| UNIT | mm |
| ABLIC Inc. | |

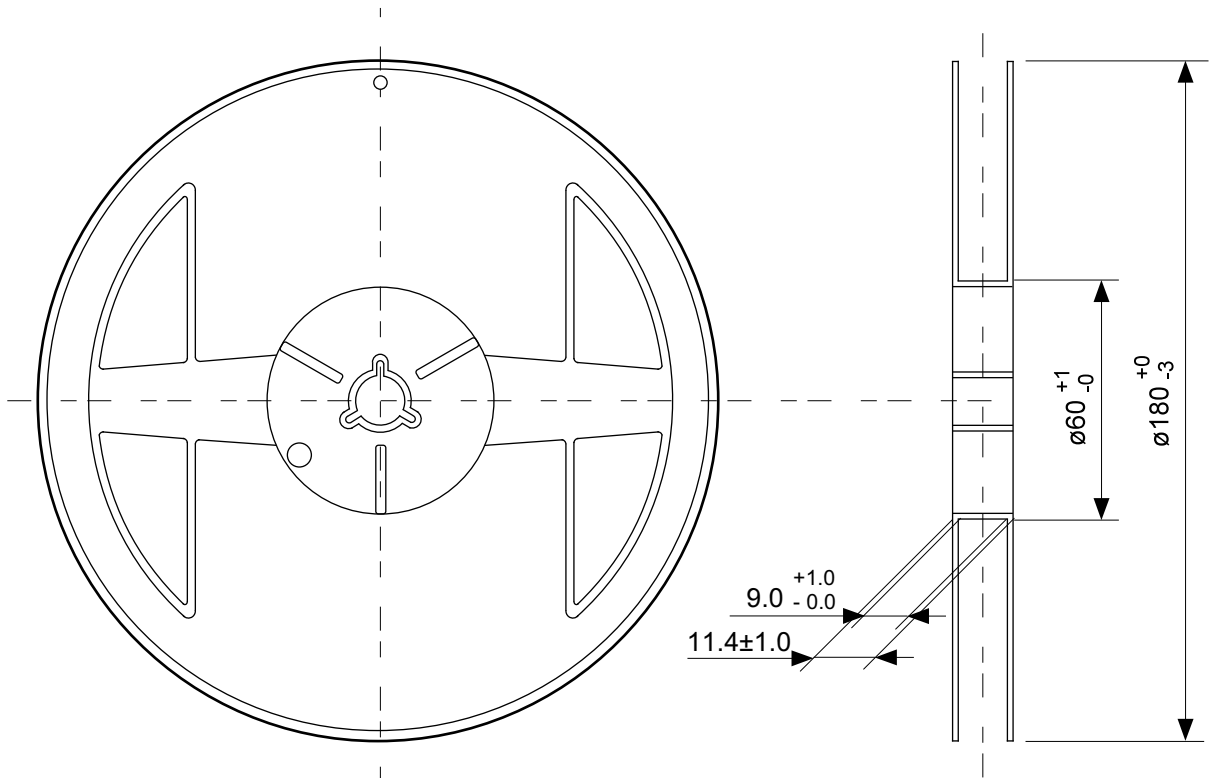


→
Feed direction

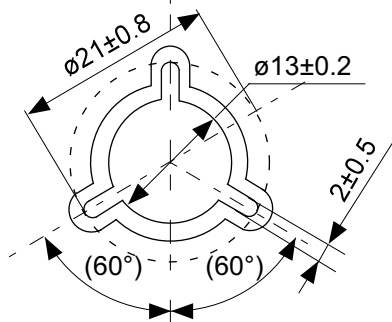
No. MP005-A-C-SD-2.1

| | |
|-------|-----------------------|
| TITLE | SOT235-A-Carrier Tape |
| No. | MP005-A-C-SD-2.1 |
| ANGLE | |
| UNIT | mm |
| | |

ABLIC Inc.



Enlarged drawing in the central part



No. MP005-A-R-SD-2.0

| | | | |
|-------------------|------------------|------|-------|
| TITLE | SOT235-A-Reel | | |
| No. | MP005-A-R-SD-2.0 | | |
| ANGLE | | QTY. | 3,000 |
| UNIT | mm | | |
| | | | |
| ABLIC Inc. | | | |

免责声明 (使用注意事项)

1. 本资料记载的所有信息 (产品数据、规格、图、表、程序、算法、应用电路示例等) 是本资料公开时的最新信息, 有可能未经预告而更改。
2. 本资料记载的电路示例和使用方法仅供参考, 并非保证批量生产的设计。使用本资料的信息后, 发生并非因本资料记载的产品 (以下称本产品) 而造成的损害, 或是发生对第三方知识产权等权利侵犯情况, 本公司对此概不承担任何责任。
3. 因本资料记载错误而导致的损害, 本公司对此概不承担任何责任。
4. 请注意在本资料记载的条件范围内使用产品, 特别请注意绝对最大额定值、工作电压范围和电气特性等。因在本资料记载的条件范围外使用产品而造成的故障和 (或) 事故等的损害, 本公司对此概不承担任何责任。
5. 在使用本产品时, 请确认使用国家、地区以及用途的法律、法规, 测试产品用途的满足能力和安全性能。
6. 本产品出口海外时, 请遵守外汇交易及外国贸易法等出口法令, 办理必要的相关手续。
7. 严禁将本产品用于以及提供 (出口) 于开发大规模杀伤性武器或军事用途。对于如提供 (出口) 给开发、制造、使用或储藏核武器、生物武器、化学武器及导弹, 或有其他军事目的者的情况, 本公司对此概不承担任何责任。
8. 本产品并非是设计用于可能对生命、人体造成影响的设备或装置的部件, 也非是设计用于可能对财产造成损害的设备或装置的部件 (医疗设备、防灾设备、安全防范设备、燃料控制设备、基础设施控制设备、车辆设备、交通设备、车载设备、航空设备、太空设备及核能设备等)。请勿将本产品用于上述设备或装置的部件。本公司事先明确标示的车载用途例外。作为上述设备或装置的部件使用本产品时, 或本公司事先明确标示的用途以外使用本产品时, 所导致的损害, 本公司对此概不承担任何责任。
9. 半导体产品可能有一定的概率发生故障或误工作。为了防止因本产品的故障或误工作而导致的人身事故、火灾事故、社会性损害等, 请客户自行负责进行冗长设计、防止火势蔓延措施、防止误工作等安全设计。并请对整个系统进行充分的评价, 客户自行判断适用的可否。
10. 本产品非耐放射线设计产品。请客户根据用途, 在产品设计的过程中采取放射线防护措施。
11. 本产品在一般的使用条件下, 不会影响人体健康, 但因含有化学物质和重金属, 所以请不要将其放入口中。另外, 晶元和芯片的破裂面可能比较尖锐, 徒手接触时请注意防护, 以免受伤等。
12. 废弃本产品时, 请遵守使用国家和地区的法令, 合理地处理。
13. 本资料中也包含了与本公司的著作权和专有知识有关的内容。本资料记载的内容并非是对本公司或第三方的知识产权、其它权利的实施及使用的承诺或保证。严禁在未经本公司许可的情况下转载、复制或向第三方公开本资料的一部分或全部。
14. 有关本资料的详细内容等如有不明之处, 请向代理商咨询。
15. 本免责声明以日语版为正本。即使有英语版或中文版的翻译件, 仍以日语版的正本为准。

2.4-2019.07